

# 非晶矽薄膜電晶體液晶 顯示器製造

a-Si:H TFT LCD 已是 PC 產業的標準品，繼續朝向液晶電視邁進，成為 21 世紀顯示器主流。本文主要介紹 a-Si:H TFT LCD 的 array 陣列製造技術，由不同的 TFT 元件結構介紹說起，再深入製造技術 - 分清洗、沈積、黃光及蝕刻四大步驟，闡述各生產技術的重點。其中，詳述 BCE 與 CHP 的關鍵技術，最後以 4PEP BCE 作為 TFT 生產技術的挑戰。

薛英家

## 一、前言

自 1885 年發現液晶材料以來，延至 1972 年 a-Si:H TFT LCD (hydrogenated amorphous silicon thin film transistor liquid crystal display, a-Si:H TFT LCD) 的構想才提出，相差約 90 年。在產品上，1985 年 Seiko Epson 試產出第一片複晶矽薄膜電晶體液晶顯示器，但因量產上的技術問題無法立即解決，便由 a-Si:H TFT LCD 漸漸的取代，而在 PECVD 連續沈積技術與自動清洗製程突破之後，a-Si TFT LCD 的技術便愈來愈穩固。因應對輕薄短小電腦的需求，TFT LCD 在桌上型與筆記型電腦的顯示器地位上，已經確定取代 CRT，另外，在非電腦系統的應用開發上，TFT LCD 也開創無數的新產品。

---

薛英家先生為美國亞歷桑納州立大學電機博士，現任瀚宇彩晶公司研發處處長。

## 二、a-Si:H TFT LCD 的製造工程

a-Si:H TFT LCD 製造分成電晶體陣列 (array)、顯示單元體 (cell) 與模組 (module) 工程三大部分 (圖 1)，array 工程與 IC 製造工程相同，製作每個畫素 (pixel) 的 switch TFT 而成不同解析度，稱為 TFT 玻璃，經由 cell 工程，把液晶注入 TFT 玻璃與彩色濾光片 (color filter) 玻璃組合後的空間，而形成光閘 (light valve) 的作用，得以控制光線的強弱，與彩色濾光板配合，形成彩色的影像，最後在 module 工程中，貼附黏著驅動 IC 與周邊電路的 TAB 與 PCB，加上邊框與連接器，完成 a-Si:H TFT LCD 的整個製造流程。整個製造流程中最重要觀念是，如何降低掉落在玻璃基板的微粒子 (particle) 數目。

生產製造的另一重點在產能如何最大化，因設備技術的突破，生產機台可接納玻璃尺寸從 1990 年第一代的  $300 \times 400 \text{ mm}^2$ ，達到現今的第五代的

1000 × 1200 mm<sup>2</sup>，其生產效率已大幅提升。圖 2 列舉 TFT LCD 的各種世代的玻璃基板尺寸，及面板尺寸與切割數目，顯示不同主力產品、不同玻璃基板尺寸需求。

### 三、薄膜電晶體製造工程

採用非晶矽薄膜電晶體液晶顯示器是目前的主流，TFT 結構有多種的型式<sup>(1)</sup>(圖 3)，隨材料之不同，元件之結構的選擇也不同，如複晶矽 (polysilicon, poly-Si TFT LCD) 多使用直接共平面式的結構，而非晶矽薄膜電晶體則大部份是選擇反轉

堆疊式 (inverted-staggered) 結構，原因是 a-Si:H 是敏感性的材質，照光後會造成漏電 (photo current)，故可利用此結構的閘極金屬層 (gate metal) 來擋光，以及利用閘極金屬層做自我對準形成源極 / 汲極 (source/drain) 電極。

目前生產 LCD 使用的 a-Si:H TFT 結構，均是屬於反轉堆疊式結構，圖 4 所示是 BCE (back channel etched, A-type) 結構與 CHP (channel protect, B-type) 結構的 a-Si:H TFT，關於這二者差異，文獻 2 中有諸多的探討。其中 CHP type 結構，是在通道上直接沈積氮化矽保護層 (SiN<sub>x</sub>，或稱為 etching stopper)，BCE type 結構，則無此通道保

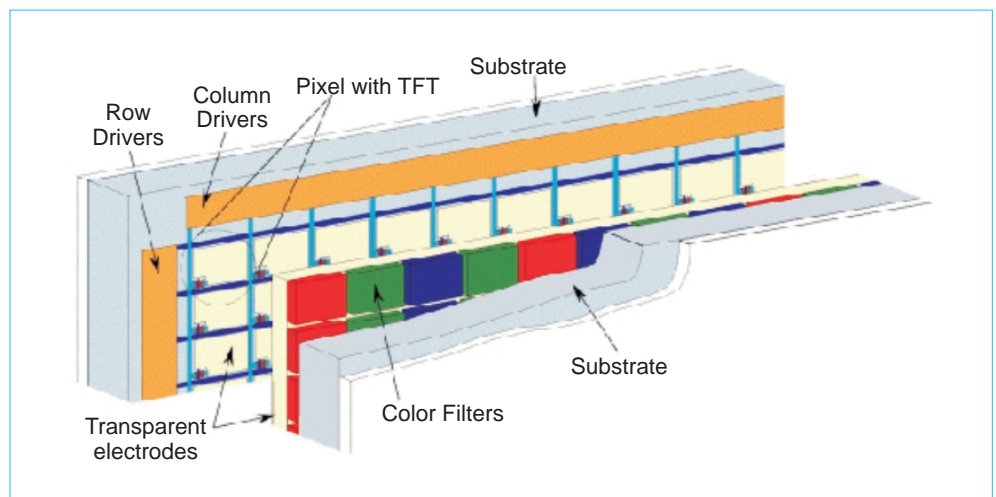


圖 1. TFT LCD 的縱剖面圖。

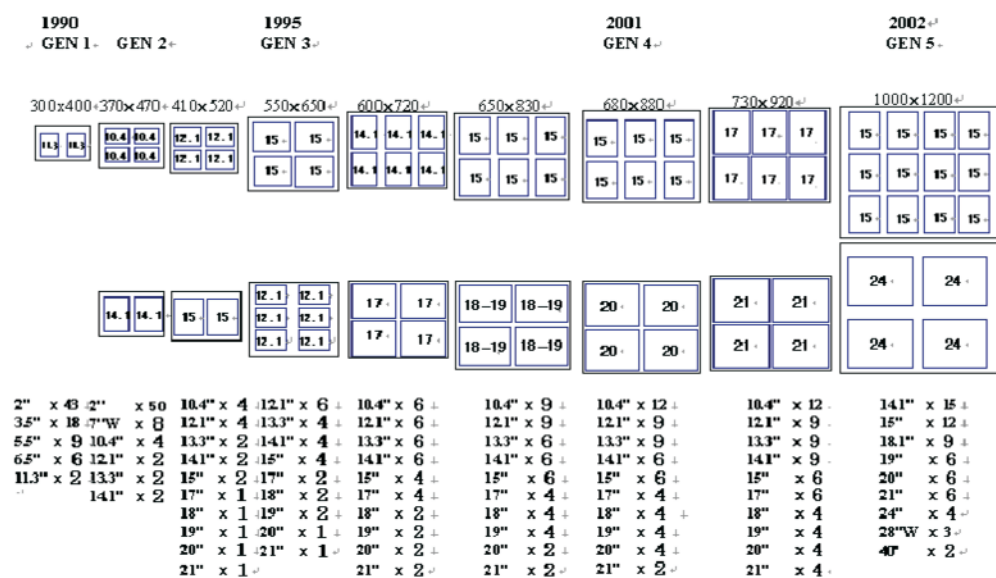


圖 2. TFT LCD 中不同世代的玻璃尺寸、切割尺寸與數量。

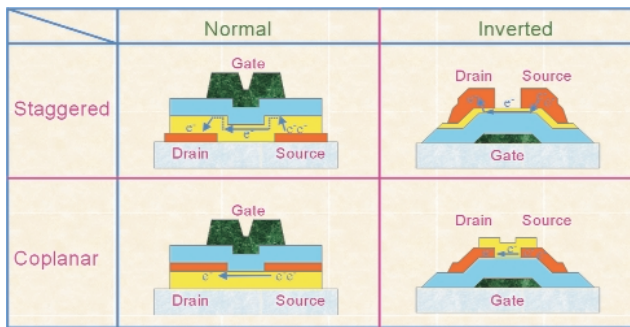


圖 3. 各種 TFT 結構。

護層，而是直接將  $n^+$  a-Si 歐姆接觸層 (ohmic contact) 沈積在通道上。此二者的製程大致類似，所不同的是，在 BCE type 之製造上，閘極絕緣層、非晶矽層及  $n^+$  a-Si:H 在同一個 PECVD 真空腔體中連續沈積的；在 CHP type 的製程中，閘極絕緣層、非晶矽層及通道保護層是連續沈積，而  $n^+$  a-Si:H 則在將頂端保護層經制定後，再沈積上去，其製程的比較則如表 1 所示。

其中在與 CHP type TFT 相較下，BCE type TFT 具有三個利基點：第一，在 array 製程上，可以減少光罩數和製程步驟 (4PEP BCE)，有助於減

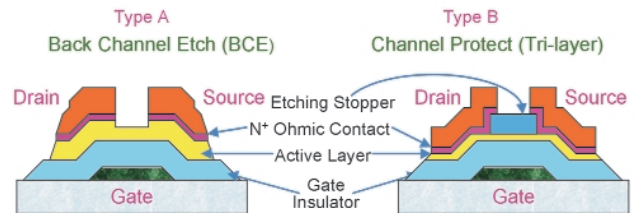


圖 4. BCE 和 CHP (or Tri-layer) 之結構。

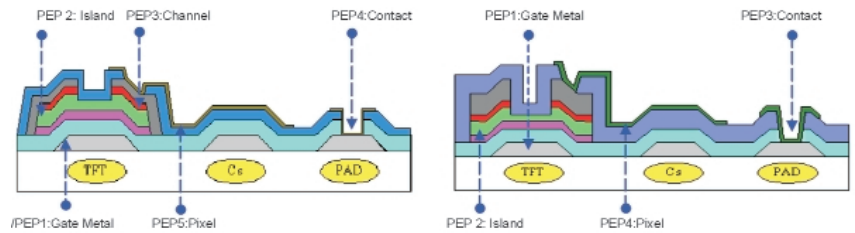
少設備的投資和增加產出量，達到降低製造成本的目的；第二，具有較低的寄生電容 (parasitic capacitance)，可以使得畫素電極的誘降電位 (feed-through voltage) 降低；第三，其 TFT 結構，因無通道保護層，TFT 尺寸通常可以設計的較小，可適用於較高解析度的面板。然而，BCE type TFT 因採用 Back Channel Etched 製程，在  $n^+$  a-Si 乾蝕刻製程中，和 a-Si:H 的選擇比很低，會造成 a-Si:H 蝕刻過多，故通常使 a-Si:H 成膜較厚，厚度約為 1000 - 2000 Å 之間，經蝕刻後，殘留厚度約控制在 500 - 1000 Å 之間，而在 a-Si:H 厚度增大的情況下，則會有下列幾項缺點<sup>(3)</sup>：

(1) 高的光敏感性 (high photosensitivity)，在照光下，會增加「off」電流。

表 1. BCE 和 CHP (or Tri-layer) 製程流程比較。

	5PEP Tri-layer Type	5PEP BCE Type	4PEP BCE Type
PEP1	1. Gate Metal (Sputter) 2. Photo Line 3. Dry Etching	1. Gate Metal (Sputter) 2. Photo Line 3. Dry Etching	1. Gate Metal (Sputter) 2. Photo Line 3. Dry Etching
PEP2	1. SiN <sub>x</sub> /a-Si/SiN <sub>x</sub> (PECVD) 2. Photo Line 3. Wet Etching	1. SiN <sub>x</sub> /a-Si/ $n^+$ a-Si (PECVD) 2. Photo Line 3. Dry Etching	1. SiN <sub>x</sub> /a-Si/ $n^+$ a-Si (PECVD) 2. S/D Metal (Sputter) 3. Photo Line 4. Island & S/D Dry Etching
PEP3	1. $n^+$ a-Si (PECVD) 2. S/D metal (sputter) 3. Photo Line 4. Dry & Wet Etching	1. S/D metal (sputter) 2. Photo Line 3. Etching	1. SiN <sub>x</sub> (PECVD) 2. Photo Line 3. Dry Etching
PEP4	1. SiN <sub>x</sub> (PECVD) 2. Photo Line 3. Wet Etching	1. SiN <sub>x</sub> (PECVD) 2. Photo Line 3. Wet Etching	1. ITO (Sputter) 2. Photo Line 3. Wet Etching
PEP5	1. ITO (Sputter) 2. Photo Line 3. Wet Etching	1. ITO (Sputter) 2. Photo Line 3. Wet Etching	

圖 5. 5PEP 與 4PEP BCE 結構的縱剖面圖。



- (2) 高的串聯電阻在源極 / 汲極區域。
- (3) 在 PECVD 和蝕刻 (etching) 製程上，增加製程時間 (tact time)。

再者，也因為過蝕刻的緣故，會造成 back channel 程度不同的損害，形成高的陷阱密度 (defect density)，故在製程上，是有必要對 back channel 做電漿處理 (plasma treatment)，以改善元件特性，而此步驟通常會在沈積最後保護層 (passivation film) 前進行，通常所使用的電漿氣體是  $H_2$ ，因為  $H_2$  電漿氫化的速度最快，但也有文獻的報導認為經  $H_2$  電漿氫化的元件<sup>(4)</sup>，對熱載子效應 (hot carrier effect) 的抑制能力較差，反而  $N_2$  及  $NH_3$  電漿可以做得比較好，認為的原因是 Si-N 鍵比 Si-H 鍵強。至於 CHP type TFT 因有通道保護層，a-Si:H 沈積的厚度通常約為 500 Å，故不會有上述的製程問題。

a-Si TFTLCD 的量產技術已成熟，目前主要的任務就是降低製造成本，因此在 array 的製程技術開始往 4PEP 製程發展，表 1 與圖 5 簡述 4PEP 與 5PEP 的製程差異。4PEP 的精髓是以乾蝕刻製程，合併 5PEP 製程的 PEP2 與 PEP3，減少許多製程步驟。

#### 四、Array 製造工程

Array 工程是利用半導體製造工程，把薄膜電晶體製作在玻璃基板上，其中，清洗、沈積、黃光與蝕刻都是標準 IC 製造工程，但因基板不同，TFT LCD 使用的玻璃基板特性，應變點 (strain point) 在 600 °C 左右，因此所有的製程溫度必須在 450 °C 以下。以下介紹各製造單站工程：清洗、沈積、微影及蝕刻。

#### 1. 清洗 (Clean)

清洗基板的洗淨技術，在 array 製程上，對每一道 PEP 都有著重的影響，故在洗淨設備選擇上不可不慎。通常基板上的污染物，可分為油脂類、有機類、無機類 (含無機氧化層) 和殘留微粒子，而每一道製程所造成的污染物亦有所不同，為了提高洗淨效果，必須依污染物種類，選用不同洗淨方式，才可達到洗淨目的。

以下所列是各污染物之一般洗淨方法：

- (1) 油脂類 - 有機溶劑洗淨或 UV 洗淨。
- (2) 有機類 - 鹼液洗淨、臭氣洗淨或電漿洗淨。
- (3) 無機類 - 酸液洗淨或沖刷 (brush) 洗淨。
- (4) 微粒子 - 超音波洗淨、沖刷洗淨或沖水洗淨 (CJ 洗淨或高壓洗淨)。

除了上述主要洗淨外，還要再行純水或超純水沖洗和乾燥 (spin dry 或 IR heating) 等步驟，所以整個洗淨工程也是相當複雜的，而這些洗淨方法的考量會直接影響清洗機台 (cleaner) 的設計。圖 6 為清洗機台的基本設計圖，整體以直線型 (in-line) 的方式連結各清洗模組，可依不同的製程要求組合製程，在玻璃基板大於 680 × 880 mm<sup>2</sup> 尺寸後，基於製程要求必須採用旋轉式 (spin type) 的清洗機台，直接掛附於其他製程機台旁。

#### 2. 沈積 (Deposition)

##### (1) PECVD

其中 a-Si:H 薄膜，利用電漿加強化學氣相沈積系統 (plasma enhanced chemical vapor deposition,

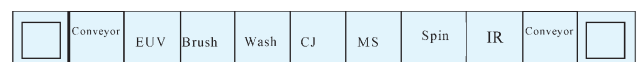


圖 6. 直線型清洗機台的各個單元組合。

PECVD) 沈積時，可於低溫下形成大面積沈積、容易摻雜 (doping) 成  $n^+$  type a-Si 與介電材料、玻璃、金屬等形成良好的界面特性及高電阻率等特性，故可廣泛使用。由於 PECVD 具備低溫成膜的特色 (約 250 - 450 °C)，對於不能耐高溫的 TFT-LCD 玻璃基板而言，在機台選擇上，其適用性是遠高於常壓化學氣相沈積系統 (APCVD) 和低壓化學氣相沈積系統 (LPCVD)。故在 TFT-LCD array 製程段，都是選用 PECVD 來沈積薄膜。

PECVD 系統使用電漿輔助能量，使得沈積反應的溫度得以降低。在 PECVD 中由於電漿的作用而會有光線放射出來，因此又稱為「輝光放電」(glow discharge) 系統。PECVD 的沈積原理與一般的 CVD 之間並沒有太大的差異。電漿中的反應物是化學活性較高的離子或自由基，而且基板表面受到離子的撞擊也會使得化學活性提高，進而降低化學反應所需的活化能。這兩項因素都可促進基板表面的化學反應速率，因此 PECVD 在較低的溫度即可沈積薄膜。以  $\text{SiO}_x$  為例，若以 LPCVD 方式成膜，則成膜溫度約為 900 °C，而 PECVD 所需只有 300 °C。另外 PECVD 還有一個特點，可藉由調整電漿功率，來控制離子對沈積薄膜的轟擊程度，進而調整薄膜的內應力 (internal stress)<sup>(5)</sup>。使得薄膜的應力，較其它方式還來得低。

### PECVD 製程

在 TFT-LCD 的應用上，PECVD 主要是用來沈積介電材料層和半導體層，如非晶矽層 (intrinsic a-Si:H) 和歐姆接觸層 (ohmic contact layer,  $n^+$  a-Si)、閘極絕緣層 (gate insulator、氮化矽  $\text{SiN}_x$  與氮氧化矽  $\text{SiO}_x\text{N}_y$ )、保護層 (passivation layer, 氮化矽  $\text{SiN}_x$ )，其製程溫度均不會高於 400 °C。而影響 PECVD 薄膜性質的參數有許多，其中比較具有影響性的製程參數有射頻功率 (RF power)、反應器壓力、基板溫度、反應氣體流量及電極間距等，這些參數均會影響到薄膜沈積速率、成份比、均勻性、蝕刻率及內應力等性質。以下將針對 TFT 製程中，PECVD 所沉積的各種薄膜，分別探討之。

氫化非晶矽膜 (a-Si:H) 和有摻雜質的非晶矽膜 ( $n^+$  a-Si:H)

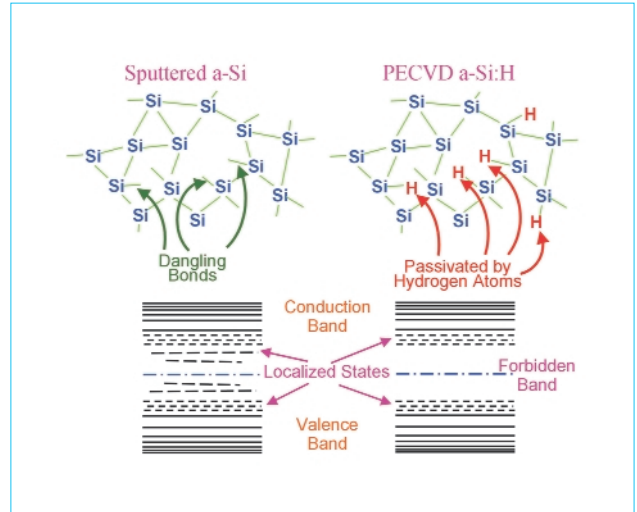


圖 7. a-Si 分子結構和能帶圖。

a-Si:H 為一光敏感性的材料，早期被應用在太陽能電池方面，所以工業界對 a-Si:H 的材料特性已有相當程度的了解，至於在 TFT-LCD 製造應用上，當然是作為電晶體的通道層 (active layer)。圖 7 解釋 a-Si 膜原子結構，缺乏規則性排列且具有許多的空懸鍵 (dangling bond)，而這些空懸鍵將不利於載子的傳導，造成載子移動率 (mobility) 的降低，因為載子容易在此處被捕捉或陷入 (trap)，但以 PECVD 所沈積的 a-Si 膜，可以有效補償這類的空懸鍵，因為所使用的反應氣體有  $\text{SiH}_4$ 、 $\text{H}_2$  等，而  $\text{H}_2$  的電漿分解率高，容易形成激發狀態的活性基，反應能力強，和 Si 鍵結形成 Si-H 鍵。至於  $n^+$  a-Si 即是利用五價元素 (如 P、As 等) 為摻質，加入 a-Si 膜中，提供額外電子數，以增加膜的導電性，降低金屬層與半導體層之間的能量障礙 (energy barrier)，用來做為歐姆接觸層。

a-Si:H 膜如前所述，是由  $\text{SiH}_4$ 、 $\text{H}_2$  混合氣體電漿反應所生成的，其反應機制，因牽涉到電漿化學，具複雜性，不過，在此還是藉由 a-Si:H 可能的成長反應機構，來說明 PECVD 相關原理和製程，其反應程序如下：

- (i)  $\text{SiH}_4$  和  $\text{H}_2$  經電漿分解生成主要的活性基，有  $\text{SiH}$ 、 $\text{H}$ 。
- (ii) 活性基  $\text{SiH}$ 、 $\text{H}$  往基板擴散，並通過 bulk 流體的邊界層 (boundary layer)。
- (iii) 在基板上，由基板提供能量，反應沈積 a-Si:H

表 2.

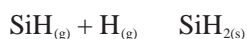
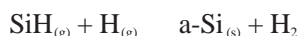
理想的保護層和閘極層的特性要求。

	特性要求
理想的保護層	抗水氣能力佳 (diffusion barrier against moisture) 抗鹼金屬離子能力 (diffusion barrier against alkali) 硬度佳可承受機械性刮傷 (against scratch) 低製程溫度 (lower process temperature)
理想的閘極層	良好的階梯覆蓋能力 (good step coverage) 高的介電常數 (high dielectric constant) 高崩潰電壓 (high breakdown voltage) 低針孔密度 (low pin hole density) 低薄膜應力 (low stress) 低氫含量 (low hydrogen content) 良好的界面特性 (good interface properties)

薄膜。

(iv) 副產物或未反應的氣體，則通過 buck 流體的邊界層，被幫浦 (pump) 抽走。

其主要的反應式，則如下：



$\text{SiH}_4$  和  $\text{H}_2$  經分解後，所形成的電漿中存在有很多的不同離子、原子、激態原子等，如 Si、SiH、 $\text{SiH}_2$ 、 $\text{SiH}_3$ 、 $\text{H}_2$ 、H 等，其中 SiH 和 H 活性基，具有較大反應活性且附着力佳，所以為主要的反應物。另外由上述的反應式得知，a-Si:H 膜中將含有  $\text{SiH}_2$  和 SiH 結構，都是屬於補償空懸鍵 (dangling bond)，不過  $\text{SiH}_2/\text{SiH}$  的比率若偏高，a-Si:H 膜將會存在較多的孔隙 (void)，因分子結構較鬆散之故，而影響到元件的特性，關於這方面，我們可藉由調整 PECVD 製程參數，達到我們要的薄膜性質，例如，基板溫度的提升，有助於  $\text{SiH}_2$  的減少或是提高射頻功率和  $\text{H}_2$  流量，有助於 a-Si 結晶化，形成島狀微結晶，以增加載子的移動率等。

介電材料層 - 氮化矽  $\text{SiN}_x$

氮化矽  $\text{SiN}_x$  在 array 製程上，主要有二個應用，是做為閘極絕緣層和最終製程的保護層。氮化矽膜在可見光區域的穿透率高，故呈透明狀，並具

備高抗水氣、抗鹼金屬離子及抗機械刮傷的能力，所以很適合當保護層。另外，在電性上，具有高的絕緣潰電壓 (breakdown voltage)、介電常數，且和非晶矽 a-Si:H 膜有良好界面特性，因此介面的缺陷狀態密度較低 (defect density of state)，故亦適合當閘極絕緣層用。 $\text{SiN}_x$  做為閘極絕緣層和保護層各有其不同的特性要求，所以在製程條件上，也會有所差異，對於其特性要求，則如表 2 所示。

一般  $\text{SiN}_x$  膜是由  $\text{SiH}_4$ 、 $\text{NH}_3$ 、 $\text{N}_2$  混合氣體電漿反應所生成的，其反應機制，因牽涉到電漿化學，相當複雜，其中  $\text{SiN}_x$  膜的 Si 原子和 N 原子分別來自  $\text{SiH}_4$  和  $\text{NH}_3$ ，至於  $\text{N}_2$  因化學鍵結較強，電漿解離能力較差，參與反應不多，但在製程中加入  $\text{N}_2$  可以減少膜中的氫含量和顆粒生成。 $\text{SiN}_x$  膜中的組成，不同於化學計量論組成  $\text{Si}_3\text{N}_4$ ，因為 PECVD 成膜溫度較低，較難達到計量比，其中 x 值約介於 0.8 - 1.2 之間。不過，就保護層而言，使用低溫製程，有它的必要性，以避免在高溫製程下，影響到前製程的金屬材料 (尤其是鋁) 發生不穩定現象與影響到通道層 (a-Si:H) Si-H 鍵結的斷裂，而造成氫含量的降低。以下是  $\text{SiN}_x$  膜特性的一般製程趨勢，需要強調的是這些趨勢對於 PECVD 反應器種類、結構、製程條件是非常敏感，因此只適用某個製程範圍。

(i) 射頻功率愈大或壓力愈大， $\text{SiH}_4$  和  $\text{NH}_3$  解離程度愈好，有較多自由基，沈積速率會增加。但通常高沈積速率下的膜，其品質較差，會有較

多的針孔 (pin hole), 而影響生產良率。

- (ii) 折射率 (RI) 隨 N/Si (由  $\text{NH}_3/\text{SiH}_4$  流量比) 比例上升而減少, 表示含 N 愈多的膜 (N-rich film), 折射率會降低, 通常約介於 1.85 - 2.10 之間。
- (iii) 膜在 BHF 蝕刻液中的蝕刻率 (wet etching rate) 隨電極間距增大或 N/Si 比例上升而增大, 表示此條件下, 膜會較鬆散, 蝕刻率增大。
- (iv) 調整射頻功率、電極間距、基板溫度可以改變薄膜的應力, 變化範圍可由  $10^{10}$  dyne/cm<sup>2</sup> 壓縮應力至  $10^{10}$  dyne/cm<sup>2</sup> 伸張應力。
- (v) 基板溫度愈高, 電漿所生成的自由基 (反應物), 在反應中可獲得足夠的能量, 所沈積的膜會較緻密, 膜中氫含量也會降低, 有較好的特性。

#### 介電材料層 - 氮氧化矽 $\text{SiO}_x\text{N}_y$

氮氧化矽  $\text{SiO}_x\text{N}_y$  在 array 製程上, 亦當做閘極絕緣層的一部份, 但它和 a-Si:H 的介面特性並不想理, 因此必須和  $\text{SiN}_x$  搭配使用,  $\text{SiO}_x\text{N}_y$  在沈積上, 其反應氣體有  $\text{SiH}_4$ 、 $\text{N}_2\text{O}$ 、 $\text{N}_2$  等, 所獲得的性質, 端視  $\text{SiO}_x\text{N}_y$  內的氧、氮的含量而定。不過, 一般而言,  $\text{SiO}_x\text{N}_y$  的性質會介於  $\text{SiO}_2$  和  $\text{Si}_3\text{N}_4$  性質之間, IC 廠會使用  $\text{SiO}_2$ , 是因為它和單晶矽或多晶矽有良好的界面特性, 且應力的大小較  $\text{Si}_3\text{N}_4$  為緩和。由於  $\text{SiO}_x\text{N}_y$  有比  $\text{SiN}_x$  較小的應力, 和金屬 (如 MoW、Ta 等) 有較好的接著能力, 再加上具有較大的能帶間隙 (band gap) 和較低的狀態陷阱密度

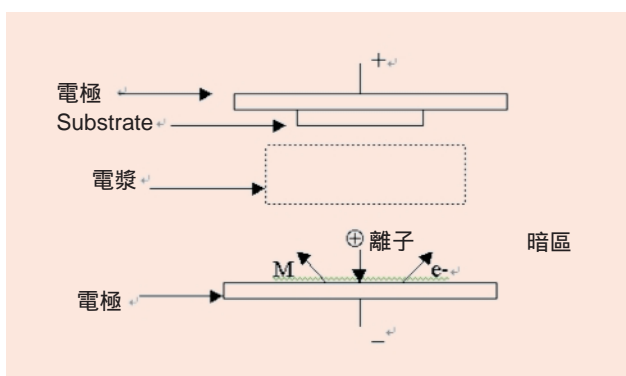


圖 8. DC 濺擊示意圖。

(density states of bulk traps), 故可以被使用當做和閘極金屬層接觸的絕緣層。

#### (2) 濺擊 (Sputter)

濺擊是利用電漿產生的離子, 藉著離子對欲鍍膜材料之電極靶材的轟擊, 使電漿內具有欲鍍膜材料的原子來進行薄膜沈積反應。圖 8 顯示一個 DC 電漿的陰極電板遭受離子轟擊 (ion bombardment) 的情形, 脫離電漿之帶正電荷離子, 在電場加速下, 將獲得極高的能量, 當離子與陰電極產生撞擊後, 基於動量轉換的原理, 除了會產生二次電子外, 還會把電極表面的原子給撞擊出來, 這個動作我們稱之為濺擊 (sputtering)<sup>(6)</sup>, 這些被擊出的電極板原子將進入電漿, 然後利用諸如擴散等的方式, 最後傳遞到玻璃基板的表面而沈積。這種利用電漿獨特的離子轟擊, 以動量轉換的原理, 在氣相中製備沈積元素以便進行薄膜沈積的 PVD 技術, 稱之為濺鍍 (sputtering deposition)。

濺鍍法在沈積之前, 為了防止其他雜質的影響, 通常都先以高真空度幫浦, 將反應室內的壓力降到  $10^{-6}$  Torr 以下, 接著再通入原子質量合宜的鈍氣, 在壓力約 1 - 10 mTorr 的環境中, 進行金屬的濺鍍, 使用的鈍氣通常為氬氣 (Ar)。另外為了使沈積金屬層有較佳的階梯覆蓋能力, 我們通常會將玻璃基板適當的加熱。

在 TFT LCD 之 array 製程中, 採用濺擊之方式

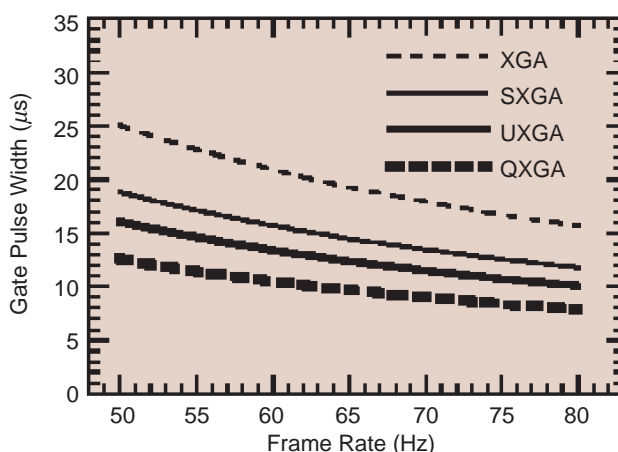


圖 9. gate pulse width、frame rate 與解析度的關係。

表 3. 目前常使用的閘極金屬層材料。

Metal	Resistivity ( $\mu\Omega$ cm)		Etchant Durability			Thermal Stability	Etching Method	Taper Etch	15" SA
	Film	Bulk	ITO	Al	SiO <sub>x</sub>				
Ti	~100	50					Wet/Dry		VGA
MoTa	36	—					Dry		
Cr	25	12.7					Wet		SVGA
$\alpha$ -Ta	25	12.6					Dry		
Mo	12	5.2	×	×			Wet/Dry		XGA
Clad Al	6~20	—	/	/	/	/	Wet		SXGA HDTV
AlNd	5	—	/	/	/	/	Wet		
MoAl	3	—	/	/	/	/	Wet		
Al	3	2.5	×	×	×	×	Wet/Dry		
Cu	2	1.6	×	×			Wet		
MoW	15	—					Dry		XGA

: Good , : Possible , × : Bad。

Metal	Resistivity ( $\mu\Omega$ cm)		Etchant Durability		Etching Method	15" SA
	Film	ITO	Al	SiO <sub>x</sub>		
ITO	~300	50			Wet/Dry	—
Ti	~100	—			Dry	VGA
Cr	25	12.7			Wet	SXGA
$\alpha$ -Ta	25	12.6			Dry	
Mo	12	5.2			Wet/Dry	HDTV
Al	3	—			Wet	

: Good , : Possible , × : Bad。

表 4.

目前常使用的源極 / 汲極金屬材料。

進行沈積成膜者，包含三部份：(i) 閘極：MoW、Cr、Ta 與 AlNd 等，(ii) 源極 / 汲極：Al、Cr 與 AlNd 等，(iii) 透明電極層：ITO (indium tin oxide) 與 IZO 等。

因為讀入與寫出必須在固定的 pulse width 內<sup>7)</sup>，以 XGA 的解析度，在 75 Hz 的 frame rate，影像訊號必須在 20 ms 下完成寫入，RC delay 必須有一定的限制，因此解析度越高，閘極金屬的電阻率 (resistivity) 必須更低。表 3 與表 4<sup>(8)</sup> 舉例目前常使用的閘極金屬層與源極 / 汲極金屬層材料。鋁的電阻值低，且製程發展已很成熟，很適合做為 TFT-LCD 中閘極金屬與源極 / 汲極金屬的材料，而在 TFT-LCD 廠商中，透明電極層幾乎都是選用 ITO。

目前在 Al 與 ITO 的生產上常會遇到下列問題。

(1) 鋁

穿透 (Spike) 問題

矽在 400 °C 左右對鋁有一定的固態溶解度，當製程溫度超過 400 °C 時，矽會擴散到沈積在矽表面的鋁薄膜，此時，鋁也會回填矽所留下的空缺而形成 spike 現象，導致短路現象發生。因此通常在矽與鋁之間加入一層稱為阻障層 (barrier layer) 的導電材料 (通常為 Mo、Ti、Cr)，以避免鋁矽直接接觸而產生 spike 現象。

濺污 (Splash) 問題



- (i) 濺擊製程參數中，功率設定過高及靶面清潔度較差易發生異常放電 (arcing) 現象，造成 Al 局部熔融掉落基板形成濺污現象。
- (ii) 靶材 (target) 中之局部缺陷 (defect)，如氧化物、孔洞而使靶材發生異常放電現象，造成 Al 局部熔融掉落基板形成濺污現象。
- (iii) 光罩清洗品質不良或靶材回鍍區之鍍膜脫落而發生異常放電，造成 Al 局部熔融掉落基板形成濺污現象。

#### 突起物 (Hillock) 問題

突起物的產生，會造成斷線或短路的現象，主要是因 Al 與下層膜的應力 (stress) 差異造成。在鋁上面覆蓋一層稱為 cap metal layer 的金屬層 (通常為 W、Ti、Mo、TiN) 或改用在鋁中混合少量其他元素的新靶材，如 Al-2%Ta、Al-2%Nd。

#### (2) ITO

早期 TFT-LCD 各家廠商都是以結晶態 ITO (poly-ITO) 做為透明電極層主要結構，其優點為片電阻值低、透光率高，但有一致命的缺點：即用於 poly-ITO 的蝕刻液必須是強酸 (有些甚至使用王水當蝕刻液)，這在工廠安全上是一大威脅。故當非結晶態 ITO (amorphous ITO) 技術發展出來後，許多廠商改用非結晶態 ITO 當透明電極層，雖然電阻值較高，透光率較低，但蝕刻液可以選用弱酸 (如草酸與醋酸混合)，大大提高了安全性。最後再經過回火，將非結晶態 ITO 轉變為結晶態 ITO，以達到低電阻值與高透光率。

非結晶態 ITO 在濺鍍時會碰到下列問題：

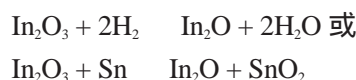
#### ITO 殘留問題

由於 ITO 在濺鍍過程結晶化，故弱酸之蝕刻

液無法蝕刻所造成殘留，可能製程溫度提高，或 H<sub>2</sub>O 流量降低、鍍較厚之厚度都會造成 ITO 結晶，因此必須控制好製程參數。

ITO 靶材表面之黑色小突起 (nodules)

是經由還原反應後，降低 In<sub>2</sub>O<sub>3</sub> 的含量，如下列還原反應；



在靶材表面會產生黑色小突起，在進行 ITO 濺鍍時，這些黑色小突起處很容易發生放電現象，或直接掉落到基板上而形成微粒子 (particle)。

### 3. 微影 (Photolithography)

微影是整個 TFT-LCD 製程舉足輕重的步驟之一，各層薄膜的圖案都是由微影這個步驟來決定的，因此通常以生產製程所需要經過的微影次數，來表示這個製程的 PEP 數目，且玻璃基板面積及生產 panel 尺寸越大的趨勢下，所選擇的機台，會有下列幾點不同。

#### (1) Advanced Scrubber 步驟

主要用途在於去除基板正背面之微粒子。方法可分成接觸式與非接觸式基板清洗，接觸式使用 nylon 軟性材質毛刷刷洗基板，顆粒去除率高但易磨傷基板表面。非接觸式使用超音波水柱噴洗和噴射高壓水柱噴洗，不會磨傷基板表面但顆粒去除率差。另外，依據製程考量選擇基板背面塗覆帶電防止劑，在刷洗基板 (scrubber) 製程中將帶電防止劑，利用背面清洗 (backside rinse) 製程，使帶電防

表 5. 比較各種塗覆方法的優缺點。

光阻塗覆方式	塗敷式	旋轉式	
		靜態式	動力式
光阻用量	少量	大量	稍多量
膜厚均勻度控制	好	稍差	好
預溼功能	不需要	搭配可以減少光阻用量但有 solvent issue	搭配可以減少光阻用量但有 solvent issue

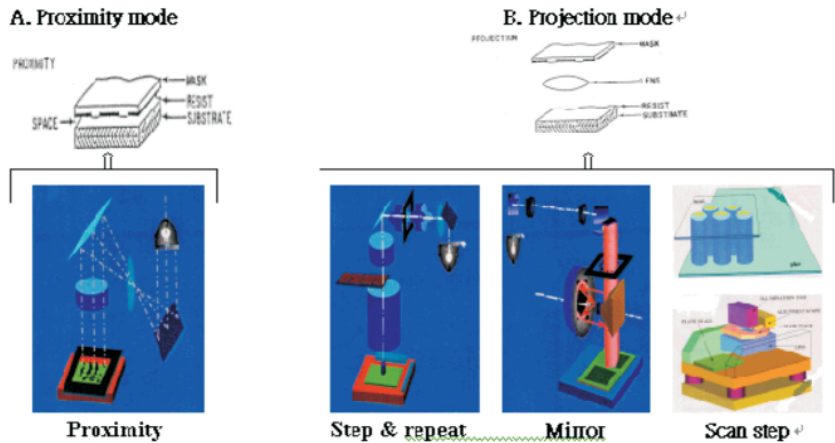


圖 10. Proximity 與 projection 的曝光比較。

表 6. Proximity 和 Projection 曝光特性比較表。

Exposure method	Proximity	Projection		
		Step & repeat	Scan	
			Mirror	Scan Step
User	Color Filter	TFT	TFT	TFT & Color Filter
Advantage	1. machine low cost. 2. high throughput.	1. high resolution. 2. low mask cost. 3. large display size.	1. high resolution. 2. high throughput. 3. 1 mask for 1 layer. 4. high illumination power.	1. high resolution. 2. high throughput. 3. 1 mask for 1 layer.
Disadvantage	1. low resolution. 2. high mask cost (large mask).	1. stitching error (it needs several mask for 1 layer).	1. high mask cost (large mask) 2. display size is defined by 1st mask's	1. high mask cost (large mask) 2. display size is defined by 1st mask
Light sources	i + g + h line	g + h line	i + g + h line	i + g + h line
Magnification	1:1	1:1.25	1:1	1:1

止劑與水混合後噴灑在基板背面，來抑制在往後步驟，如塗佈機台 (coater)、顯影 (developer)、熱冷板 (hot/cooling plate) 及曝光單元 (exposure unit) 等，在玻璃基板產生靜電而引起的顆粒來源。

## (2) 光阻塗覆

目前使用在 TFT-LCD array process 微影製程的塗覆 (coating) 光阻方式分成狹縫塗覆後加上旋轉 (slit and spin) 及單獨旋轉式 (spin) 兩種。

Slit and spin：先用 slit slide 方式，將光阻先完全塗敷在基板表面上，然後再旋轉乾燥 (spin dry)。

旋轉式又延伸出三種方式：

- 靜態的 (static) 旋轉式：利用噴嘴將適量的光阻滴落在靜止的基板中心，之後再旋轉乾燥。
- 動力的 (dynamic) 旋轉式：利用噴嘴將適量的光阻滴落在轉動的基板中心，轉速由慢至快做旋轉乾燥。
- 預溼功能 (pre-wet function)：利用噴嘴將適量的溶劑滴落在轉動的基板，之後另一噴嘴再將適量的光阻滴落在的基板中心後再旋轉乾燥，噴嘴溶劑的位置，可分為基板的中心或基板的側面兩種。

表 5 比較各種塗覆的優缺點。在節省材料成本方面，slit and spin 可節省 30% 以上的材料，且沒有

因塗覆產生的 mura，彩色濾光板業者已大量使用，在 TFT 部分， $680 \times 880 \text{ mm}^2$  以上的製程已採用。

### (3) 曝光步驟

光阻上的圖形是藉由光罩 (mask) 上的圖形，經曝光轉印至光阻上，再經由顯影定義出圖形。目前 TFT LCD 專用曝光設備的發展趨勢是往面板尺寸變大，但曝光設備仍要維持曝光時間並提高生產性。

一般 TFT LCD 使用的曝光方式分為接近式 (proximity) 與投影式 (projection) 兩種，投影式曝光方式又分為 step & repeat、mirror 與 scan step 三種，各種曝光設備概念圖如圖 10。根據不同製程的考量採用不同的曝光，彩色濾光板曝光設備採用 proximity 方式，此方式是使用大型光罩接近大型玻璃基板位方式，進行一次曝光。TFT array 曝光設備採用 projection 方式，projection 曝光方式根據不同的製程要求選擇，一種稱為 step & repeat 方式，從 100 mm 角到 130 mm 角的曝光區域，利用 lens 在大型玻璃基板上進行逐次曝光，一般曝光是使用 6 吋的光罩，依照生產的畫板 (panel) 尺寸大小，使用數片的光罩進行逐次曝光。以 15" 的 TFT LCD 的曝光方式，需要 6 片光罩曝光組成一片畫板 (如圖 11)。

第二種稱為 mirror (aligner) 方式是根據一次 scan 方式的曝光原理，利用反射透鏡組合而成，此方式是使用大型光罩，在生產的一定畫板尺寸大小範圍內，進行一次 scan 方式曝光即可。

第三種稱為 scan step 方式，利用許多小 lens 互相排在一起，可實現很大的曝光區，採用 lens scan 曝光方式，滿足在生產的一定畫板尺寸大小範圍內，進行一次進行曝光。

在 4PEP BCE 的製程中，主要的製程關鍵在微影製程。在 PEP2 的微影製程中，必須配合蝕刻同時制定島狀 (island) 與通道的製程，因此必須使用 half-tone 或 slit mask 的微影製程，在顯影後，通道的上的光阻有一定厚度，約為 1/3 至 1/2 之間，在經島狀蝕刻後，加上電漿灰化 (plasma ashing) 的製程去除通道上的光阻，以  $n^+$  a-Si 蝕刻吃斷通道上的  $n^+$  a-Si。

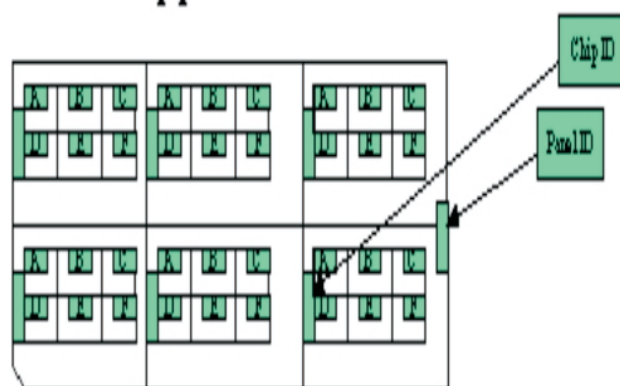


圖 11. Step & repeat 的曝光組合。

## 4. 蝕刻 (Etching)

蝕刻製程的作用，就是要將進行微影製程前所沈積的薄膜，將沒有被光阻覆蓋及保護的部分，以化學反應或是物理作用的方式加以去除，而完成轉移光罩圖案到薄膜上面，以製作半導體線路。

蝕刻技術可以分為濕蝕刻 (wet etching) 與乾蝕刻 (dry etching) 兩類。濕蝕刻是將玻璃基板浸沒於適當的化學溶液中，或將化學溶液噴灑至玻璃基板上，經由溶液與被蝕刻物間的化學反應，來移除薄膜表面的原子，以達到蝕刻的目的。乾式蝕刻 (又稱電漿蝕刻) 是目前最常用的蝕刻方式，利用輝光放電的方式，產生包含離子、電子、帶電粒子，以及具有高化學活性的原子團之電漿來進行薄膜的蝕刻。

一般而言，評斷蝕刻製程是否符合要求的因素有下列幾項：

- (1) 輪廓 (profile)：等向性 (isotropic)：薄膜遭受每一個方向均等量的蝕刻，非等向性 (anisotropic)：薄膜遭受固定方向的蝕刻。
- (2) 選擇性 (selectivity)：指蝕刻製程對被蝕刻材料及其他材料的蝕刻率比值，選擇性越高，表示大都在被蝕刻材料上進行蝕刻。
- (3) 蝕刻速率 (etching rate)：速率愈快，表示產能 (throughput) 愈高。
- (4) 均勻性 (uniformity)：指晶片上不同位置的蝕刻率差異，較佳的均勻性表示可有較佳的良率 (yield)。

應用乾式蝕刻主要須注意蝕刻速率、均勻度、

表 7.5 PEP、4PEP 的 CHP 與 BCE 結構蝕刻比較表。

Step	Etched Film	5PEP CHP	5PEP BCE	4PEP BCE	Key Point
PEP1	MoW AlNd Cr	乾式 濕式 濕式	乾式 濕式 濕式	乾式 濕式 濕式	輪廓、殘留、玻璃蝕刻 輪廓、腐蝕、橫向蝕刻 輪廓、殘留
PEP2	SiN <sub>x</sub> n <sup>+</sup> -a-Si/a-Si/SiN <sub>x</sub> MoAlMo or Ti/Al/Ti PR Ashing n <sup>+</sup> -a-Si/a-Si/SiN <sub>x</sub>	濕式 — — —	— 乾式 — —	— — 乾式 乾式 乾式	結晶析出物 輪廓、橫向蝕刻 橫向蝕刻 選擇蝕刻比、均勻度 選擇蝕刻比
PEP3	SiN <sub>x</sub> Mo/Al/Mo or Ti/Al/Ti n <sup>+</sup> -a-Si	— 濕式 乾式	— 濕式 乾式	乾式 — —	結晶析出物、橫向蝕刻 腐蝕、橫向蝕刻 輪廓、橫向蝕刻
PEP4	SiN <sub>x</sub> a-ITO	濕式 —	濕式 —	— 濕式	結晶析出物、橫向蝕刻 殘留
PEP5	a-ITO	濕式	濕式	—	殘留

選擇比及蝕刻輪廓等。蝕刻速率越快，則設備產能越快，有助於降低成本及提升競爭力。蝕刻速率通常可藉由氣體種類、流量、電漿源及偏壓功率加以控制，在其他因素尚可接受的條件下，越快越好。均勻度是基板上不同位置的蝕刻率差異的一個指標，較佳的均勻度意謂著基板將有較佳的良率，尤其當 TFT LCD 的玻璃基板從三代、3.5 代，一直到四代，面積越大，均勻度的控制就顯的更加重要。選擇比是蝕刻材料的蝕刻速率對遮罩或底層蝕刻速率的比值，控制選擇比通常與氣體種類及比例、電漿或偏壓功率，甚至反應溫度均有關係。至於蝕刻輪廓則視需求而定，以閘極金屬而言，為了使後續膜層能有較佳的階梯覆蓋能力 (step coverage)，而故意使其蝕刻輪廓小於 45°。通常控制蝕刻輪廓可從氣體種類、比例、偏壓及功率來進行。

目前 a-Si:H TFT 各層次蝕刻工程，乾蝕刻與溼蝕刻並重，表 7 簡述各種 TFT 結構的蝕刻製程，5PEP 的重心在濕蝕刻製程，而 4PEP BCE 結構則注重乾蝕刻製程，尤其 PEP2 製程，因源極 / 汲極金屬、n<sup>+</sup> a-Si、a-Si 與 SiN<sub>x</sub> 是使用同一光罩蝕刻製程，全部使用乾蝕刻製程，且在 n<sup>+</sup> a-Si 蝕刻

前必須去除通道上的光阻，因此電漿灰化的光阻均勻度必須控制好。

## 五、結語

a-Si TFTLCD 技術已在台灣紮根，目前以 5PEP 的製程穩定成長，除了往大尺寸玻璃基板生產 (5th generation) 外，也必須往 4PEP 及整合型的生產技術，如在薄膜電晶體上置型彩色濾光板技術 (color filter on array, COA) 或 AOC (array on color filter)，繼續製程開發，上下游工業必須垂直整合。

## 參考文獻

1. K. Takechi *et al.*, *Journal of Applied Physics*, **84**, 3993 (1998).
2. H. Kanoh *et al.*, *Japanese Journal of Appl. Phy.*, **29** (11), 2358 (1990).
3. H. Miyashita *et al.*, *IEEE Transactions on Electron Devices*, **41**, 499 (1994).
4. B. C. Lim *et al.*, *IEEE Transactions on Electron Devices*, **47**, 367 (2000).
5. T. Tsukada, *LCD addressed by TFT*, Hitachi Ltd. (1994).
6. 莊達人編著, VLSI 製造技術, 高立圖書有限公司.
7. M. Ikeda, *SID 95 Digest*, 11 (1995).
8. S. Kawamota *et al.*, *SID 98 Digest*, **35** (1), 1 (1998).