

以原子層化學氣相沉積之高介電薄膜 於金氧半場效電晶體的應用

Atomic-Layer-Deposited High- κ Dielectrics Used as the Gate Oxides for the MOSFET Application

邱彥凱、張哲豪、吳泰伯

Yan-Kai Chiou, Che-Hao Chang, Tai-Bor Wu

隨著金氧半場效電晶體元件的尺寸不斷縮小，傳統的氧化矽已經到達了極限，解決此問題的方法是使用高介電薄膜來取代氧化矽。在眾多高介電薄膜材料中，由於氧化鈦不錯的性質使其受到很大的重視。另一方面，由於相當不錯的厚度控制與膜厚均勻性且是一種較低溫製程，使得原子層化學氣相沉積是一用來鍍製高介電材料重要的技術。在我們的研究中成功的鍍製氧化鈦薄膜在四吋的矽基板上，得到相當好的膜厚均勻性 (STDEV (%) = 0.53%) 及一線性的鍍率約 0.095 (奈米/鍍膜循環數)，此外，製作成金氧半電容器也得到令人滿意的電性表現。

With the further shrinking of the MOSFET device dimension, the conventional SiO_2 thin film as gate oxide reaches its limit. Replacement of SiO_2 with other high- κ dielectrics is the solution. Among the high- κ candidates, hafnium oxide (HfO_2) has attracted much attention due to its suitable properties. On the other hand, atomic-layer-deposition (ALD) is an important method to deposit high- κ dielectrics due to its excellent thickness and uniformity control, as well as low-temperature deposition ability. In our work, we demonstrate the successful deposition of HfO_2 thin films on the silicon substrate. Excellent thickness uniformity (STDEV (%) ~ 0.53%) on a four-inch-wafer range with a constant growth rate of ~0.95 nm/cycle was obtained. Besides, the satisfactory electrical properties of MOS capacitor with HfO_2 as gate oxide were also obtained.

一、前言

隨著半導體元件的尺寸不斷的微小化，原本應用於金屬-氧化層-半導體 (金氧半) 場效電晶體之氧化矽層已逐漸不敷使用。氧化矽擁有絕佳的絕

緣性與熱穩定性，並且可以熱氧化法成長於矽晶圓上，厚度與均勻性都可以精確控制，且其自然的與矽晶圓形成良好的介面，是一非常好的絕緣層材料。然而當半導體元件尺寸不斷縮小，操作電壓必須隨著縮小，氧化矽層膜厚也跟著越來越薄，由直

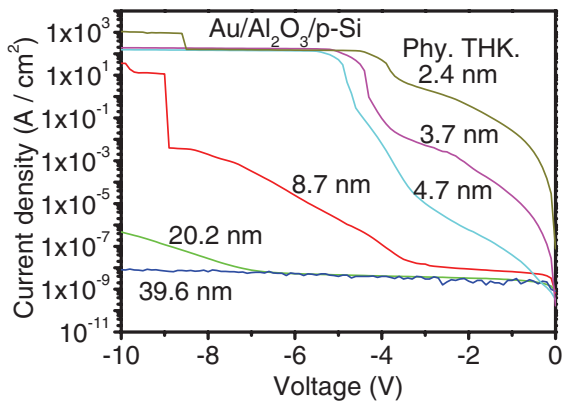


圖 1. 漏電流密度隨著絕緣層膜厚變薄而急劇上升。

接穿隧所貢獻的漏電流也急劇上升，如圖 1 顯示。另外，整個電晶體元件的可靠度也會因為過大的漏電流而下降。由於這兩個主要的原因，使得我們不得不考慮使用較高介電常數的材料來取代氧化矽（介電常數較低，約 3.9），因為高介電薄膜材料可以採用較厚的膜層來抑制直接穿隧的漏電流貢獻，且在較低操作電壓還可維持一樣的閘極電容密度來控制電晶體的開關。

圖 2 是英特爾於 2004 年所預測的一個電晶體元件未來發展圖⁽¹⁾，由圖中我們可以看到高介電材料於 45 nm 之後將跟著金屬閘極一起使用於電晶體中。為了找到一個適合的高介電材料來取代氧化矽，以下列舉了一些必須具備的條件⁽²⁾：

1. 擁有高的介電常數，約在 10–30。
2. 擁有大於 5 eV 的能隙寬度與足夠的能帶差（與矽比較，通常希望在導帶之能帶差可以大於 1 eV）。
3. 擁有不錯的熱穩定性，包含材料本身及其與矽基板間的穩定性。
4. 擁有不錯的電性表現，包含較低的介面缺陷密度、氧化層捕獲密度及固定氧化層密度。
5. 擁有與矽電晶體製程良好的匹配性。

不幸的是，目前沒有一種高介電材料可以完全滿足以上所有的條件，例如氧化鋁、氧化鈦及鈦酸鈦…等材料由於較小的能隙寬度與能帶差，使得其在漏電流的表現上不符需求，另外，他們的與矽的熱穩定性也不佳，容易形成介面層（金屬矽氧化物）而拖累閘極電容。在考慮與矽介面的熱穩定性之條件下，只剩下氧化鋁、氧化鉛、氧化鋯、氧化鈮、氧化釷或是一些鏷系的氧化物像氧化鏷、氧化鏷…等。然而在這些選擇中，氧化鋁及氧化鈮的介電常數不夠高，氧化鏷及氧化鏷雖然有較高介電常數，但是其易與空氣中的水氣反應，氧化鋯雖然擁有與氧化鉛差不多的材料性質，但是其稍微較容易與矽基板形成金屬矽化物⁽³⁾。基於上述的理由，氧化鉛是近來被研究的最熱門高介電材料⁽⁴⁻⁷⁾，圖 3 是我們整理 2002 至 2004 年一些有關高介電材料研究所發表的文獻做出的統計，由圖中可以看到研究氧化鉛的數量超過總量的 50%。

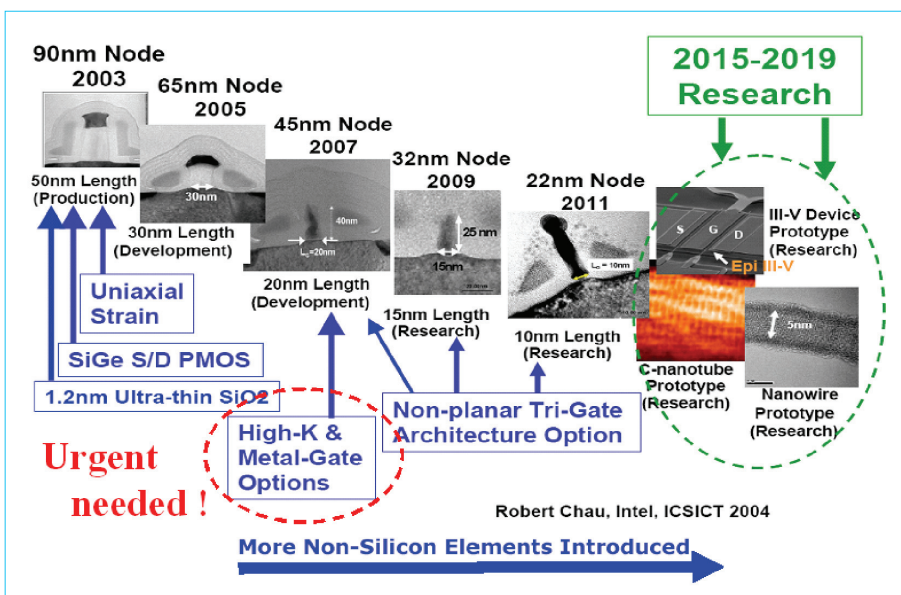


圖 2. 英特爾於 2004 年所預測未來電晶體元件發展圖⁽¹⁾。

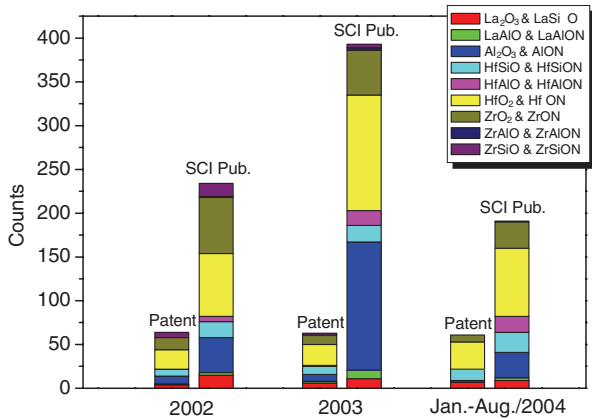


圖 3. 2002 至 2004 年一些高介電材料的文獻與專利發表統計。

二、高介電原子層沉積製程

傳統的氧化矽層是以熱氧化法來成長，而高介電材料則必須用鍍製的方法來成長，此時選擇鍍製的工具就變得十分重要，因為其會深深影響鍍製薄膜的品質。圖 4 為 1995 至 2004 年間一些鍍膜技術應用於成長高介電材料薄膜的統計圖，由圖中顯示原子層化學氣相沉積 (ALD) 的比例逐漸增加，主要是此種鍍膜技術應用於超薄電晶體閘極氧化層非

常合適，以下將介紹此種鍍膜技術。

原子層化學氣相沉積主要是以表面的飽和吸附為基礎所發展出來的薄膜沉積技術。簡單的來說，其流程是以不斷重複的循環 (cycle) 組成，每一個循環分為四個步驟 (step)：

1. 通入 A 先驅物進反應腔體 (例如金屬先驅物) 與基板形成化學吸附。
2. 通入氬氣進入反應腔體帶走未吸附的先驅物。
3. 通入 B 先驅物進反應腔體 (例如水氣) 與吸附的 A 先驅物反應。
4. 通入氬氣進入反應腔體帶走未吸附的先驅物與反應後的副產物

圖 5 是取自 Cambridge NanoTech 網站有關以三甲基鋁 (TMA) 及水氣反應形成氧化鋁之示意圖，顯示原子層化學氣相沉積的一個完整循環⁽⁸⁾。由於每一個循環都控制在表面的飽和吸附，使得每一個循環所鍍製的膜厚皆相同，也就是可以由循環數來精確的控制所要鍍製的膜厚，且一個循環所鍍製的膜厚非常薄 (~ 0.1 nm)。另一方面，均勻性也因為每一循環皆控制在表面飽和吸附而相當良好，因此可以用原子層化學氣相沉積鍍製超薄且均勻的薄膜，非常適合應用於閘極絕緣層成長。

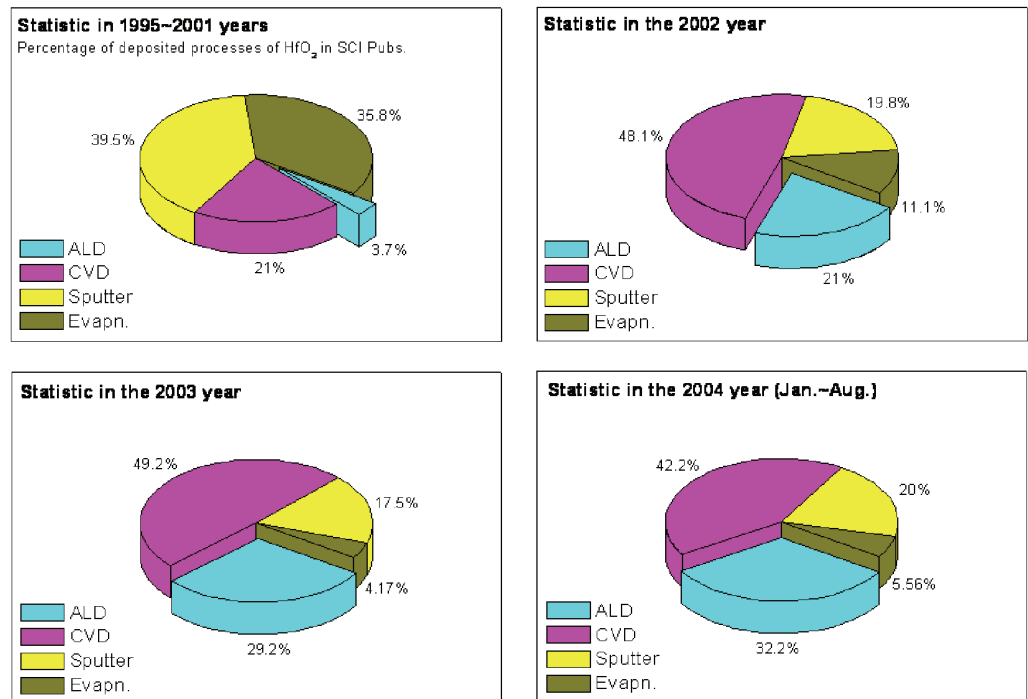
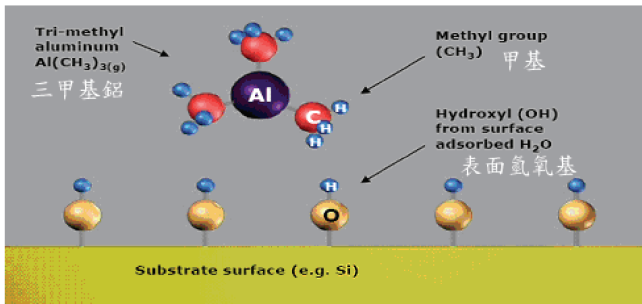
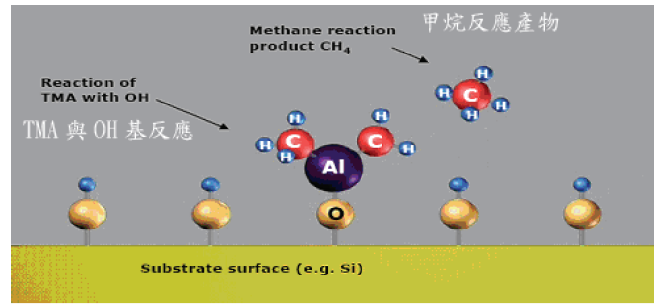


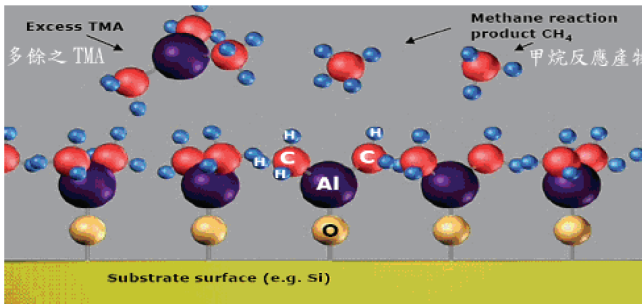
圖 4. 1995 至 2004 年間一些鍍膜技術應用於成長高介電材料薄膜的統計圖。



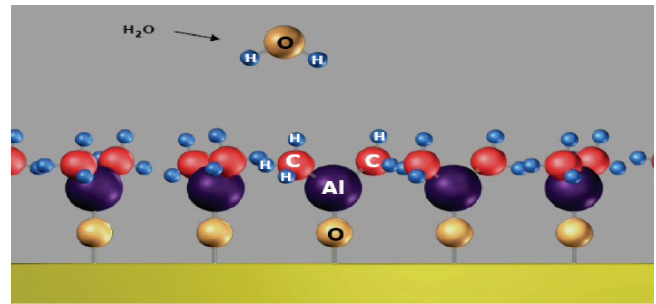
(a)



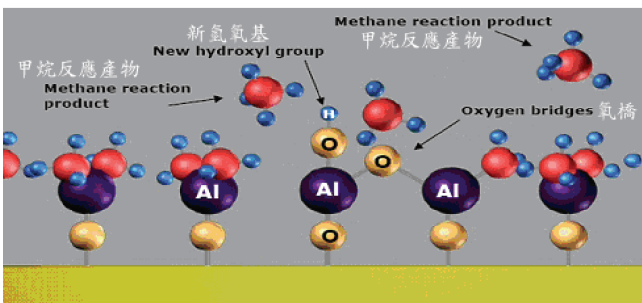
(b)



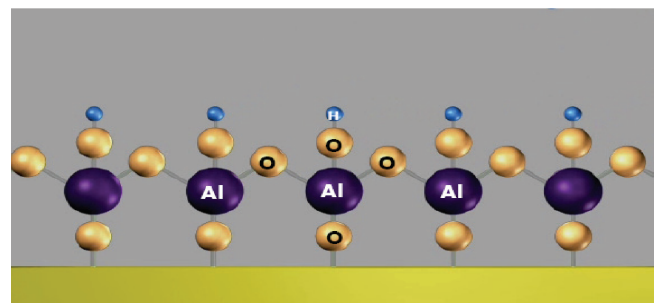
(c)



(d)



(e)



(f)

圖 5. 原子層化學氣相沉積的一個完整循環，以三甲基鋁 (TMA) 及水氣反應形成氧化鋁為例⁽⁸⁾。(a) 通入三甲基鋁 (TMA)，(b) 表面化學吸附，(c) 飽和化學吸附，(d) 通入水氣，(e) 氧化反應及 (f) 單循環原子層沉積完成。

圖 6 表列出一些鍍膜技術的比較⁽⁸⁾，由表中可以清楚的看到原子層化學氣相沉積的優勢。基於上述原因，為了研究高介電常數薄膜於金屬-氧化層-半導體結構下的應用，我們實驗室於 2004 年也自行組裝了一台原子層化學氣相沉積機台，放置於國立清華大學工程三館奈微米無塵室中。圖 7 為此機台之照片，此機台備有包括鉛、鋁、矽及鈦四元素的金屬先驅物與水做為氧化劑，且裝有平板電漿系統。以下將簡介一下我們實驗室使用此台原子層化學氣相沉積鍍製氧化鉛薄膜於金屬-氧化層-半導體 (MOS) 結構下的成果。

我們採用 *p*-type (100)，片電阻為 $5 \Omega \cdot \text{cm}$ 之矽晶片作為基底。經由 RCA 標準清理程序進行晶片表面潔淨處理後，將晶片置入稀釋之氫氟酸溶液 ($\text{HF}:\text{H}_2\text{O} = 1:100$) 以去除矽晶片上之原生氧化層 (native oxide)，接著將清洗後的晶片送入 ALD 腔體內準備沉積氧化鉛，腔體的真空度為 3×10^{-7} Torr 製程壓力為 1 Torr，使用 tetrakis(ethylmethylamino) hafnium [TEMAH, $\text{Hf}[\text{N}(\text{C}_2\text{H}_5)(\text{CH}_3)]_4$] 做為 Hf 之先驅原料，並用 H_2O 當作氧化劑。製程的每一循環週期秒數為 2/3/2/3 秒，分別代表金屬先驅物通入秒數/清潔秒數/水氣通入秒數/清潔秒數。 HfO_2

Method	ALD	MBE	CVD	Sputter	Evapor	PLD
Thickness Uniformity	good	fair	good	good	fair	fair
Film Density	good	good	good	good	poor	good
Step Coverage	good	poor	varies	poor	poor	poor
Interface Quality	good	good	varies	poor	good	varies
Number of Materials	fair	good	poor	good	fair	poor
Low Temp. Deposition	good	good	varies	good	good	good
Deposition Rate	fair	poor	good	good	good	good
Industrial Applicability	good	fair	good	good	good	poor

圖 6. 一些鍍膜技術的比較表⁽⁸⁾。

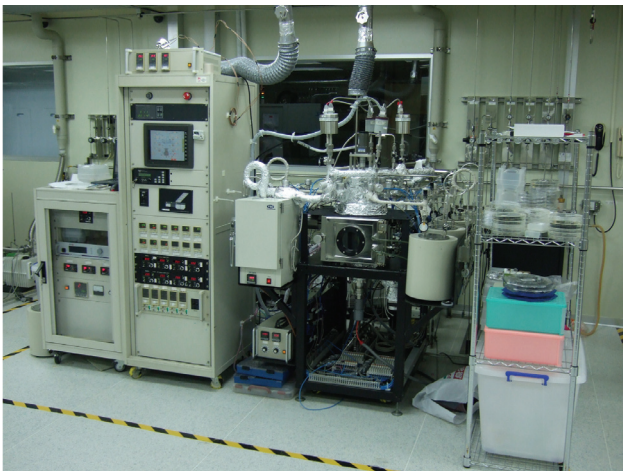


圖 7. 自行組裝之原子層化學氣相沉積機台照片。

沉積完畢後，緊接著進行快速熱退火步驟，以去除氧化層中的缺陷，並於退火時通入氮氣避免矽基板氧化。接著以緩衝氧化矽蝕刻液 (buffer oxide etcher, BOE) 去除晶片背面之原生氧化層，並送入蒸鍍機 (evaporator) 蒸鍍背面 Au/Ti 作為接觸電極。元件製作完成後則分別進行電性量測及材料分析。

三、高介電原子層沉積膜之特性

圖 8 顯示氧化鉛 (500 cycles) 成長於矽晶圓上之膜厚分布圖，此圖是經由 69 點平均分布在矽晶圓上的橢圓儀量測所得。由計算可以得知，整體膜厚的標準差 (STDEV) 約為 0.53%，而最大最小差 (MAX-MIN/mean) 約為 1%。由此數據我們可以確認由 ALD 所鍍製出來的氧化鉛薄膜，其均勻性是非常好的。而圖 9 則展示了 ALD 線性成長的特

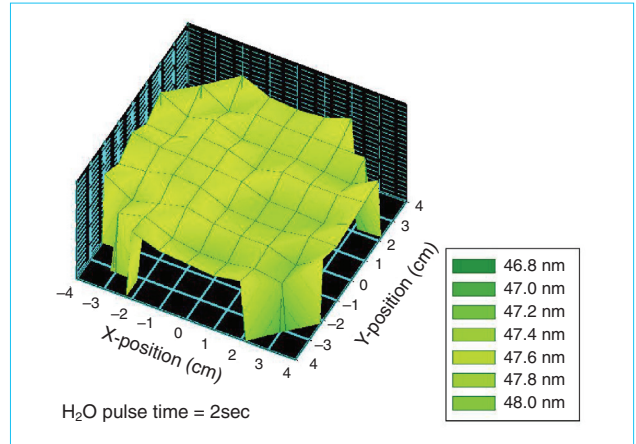


圖 8. 氧化鉛 (500 cycles) 成長於矽晶圓上之膜厚分布圖。

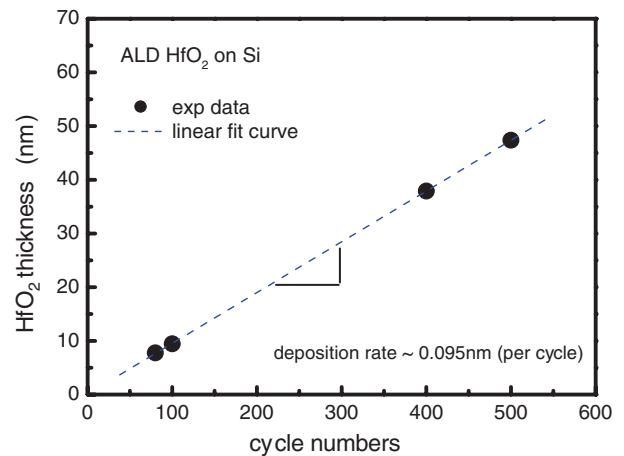


圖 9. 氧化鉛薄膜厚度對鍍製循環數的作圖。

性，由圖中可以看到膜厚與鍍製循環數 (cycles) 呈線性正比，由斜率可以得知平均鍍膜速率約為 0.095 (nm/cycle)。

而電性表現方面，圖 10 所示為不同厚度 ALD 鍍製之氧化鉛為閘極絕緣層之 MOS 電容 C-V 特性。隨著膜厚降低 (100 cycles to 50 cycles)，電容值明顯上升，而等效氧化層厚度 (EOT) 也從 2.32 nm 下降到 1.69 nm。另一方面，平帶電壓也隨著膜厚降低往正電壓方向飄動，代表其氧化層中之固定電荷為正。當進一步將膜厚鍍製到 40 cycles，由圖 11 中可以看到經由 NCSU-CVC 模型去模擬 100 kHz 之 C-V 特性扣除量子力學 (QM) 效應後⁽⁹⁾，可得到氧化鉛薄膜之等效厚度 (EOT) 約為 1.39 nm。

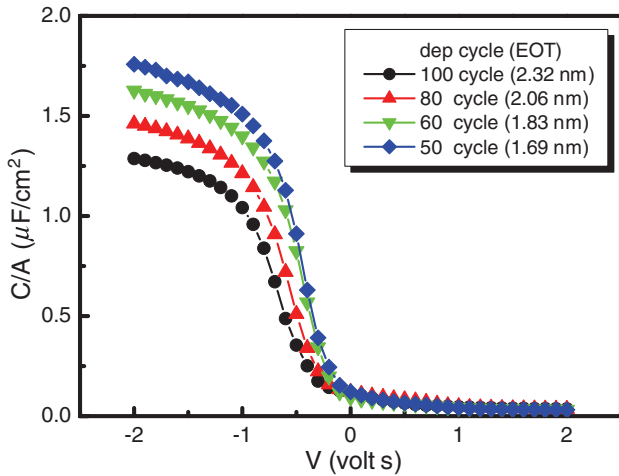


圖 10. 不同厚度氧化鈹薄膜之電容對電壓曲線。

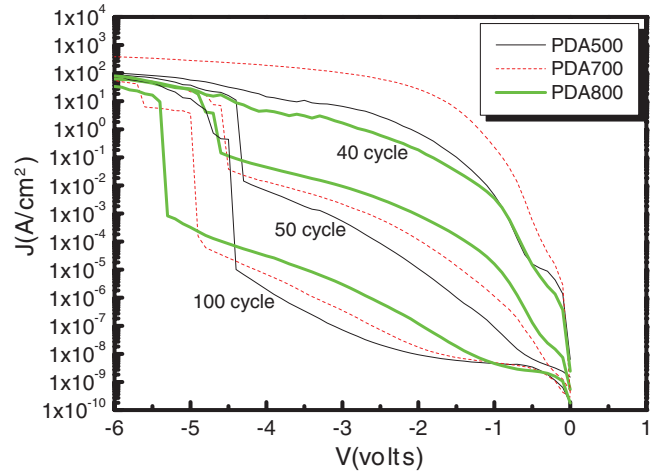


圖 12. 不同厚度之氧化鈹薄膜之 I - V 特性。

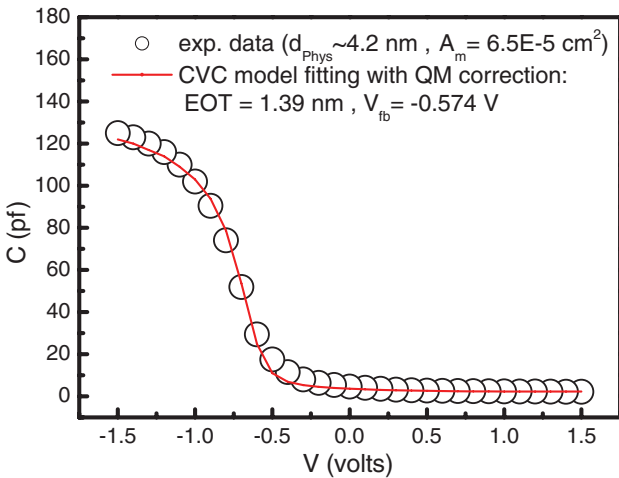


圖 11. 氧化鈹薄膜 (40 cycles) 之 $EOT=1.39$ nm 之 C - V 特性。

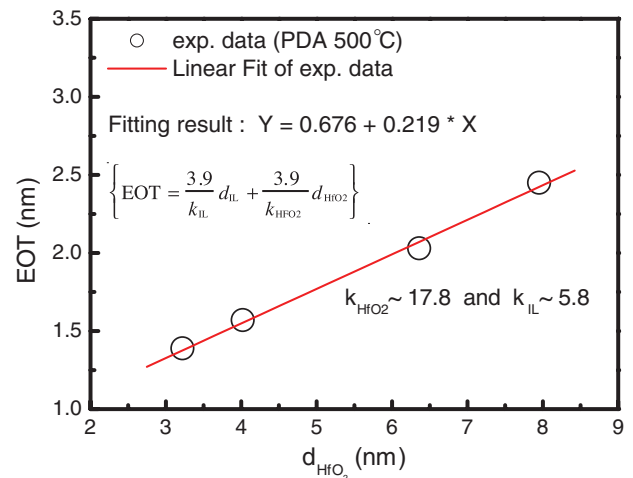


圖 13. 氧化鈹薄膜之等效氧化層厚度對物理厚度的關係圖。

圖 12 則為以 ALD 成長之氧化鈹為閘極絕緣層之 MOS 電容電流－電壓 (I - V) 曲線，可以看到隨著膜厚的降低，其漏電機制逐漸轉變為以直接穿隧為主的漏電機制，且隨著後沉積退火 (PDA) 溫度的逐漸上升，其崩潰電壓逐漸上升，主要是由於界面層變厚導致整體膜厚變厚，因而在較大電壓下才崩潰，其崩潰電場介於 5—5.5 MV/cm，與其本質崩潰的電場相當。

為了了解以 ALD 鍍製之氧化鈹薄膜的介電常數，我們製作了等效氧化層厚度對物理厚度的關係圖，結果如圖 13 所示。從圖中的斜率可以推出氧化鈹薄膜的介電常數約為 17.8，而界面層貢獻的等

效厚度約為 0.676 nm，經由 TEM 分析，如圖 14 所示，以所看到的介面層厚度進行計算，介面層的介電常數約為 5.8，應該是鈹的矽氧化物。

就材料分析而言，從圖 15 中 XPS 之分析可以看出，氧化鈹與矽基板間隨著 PDA 溫度的上升，其界面層越來越厚且其成分逐漸由 Hf-O-Si 轉變為 SiO_x 。界面層厚度也逐漸增厚，這從 TEM 之分析中也得到一樣的驗證。而從圖 16 中可以看出氧化鈹薄膜其起始結晶溫度約 500 °C，而較薄的氧化鈹薄膜其起始結晶溫度提升到約 600 °C，且氧化鈹結晶相是單斜晶 (monoclinic) 多晶相。

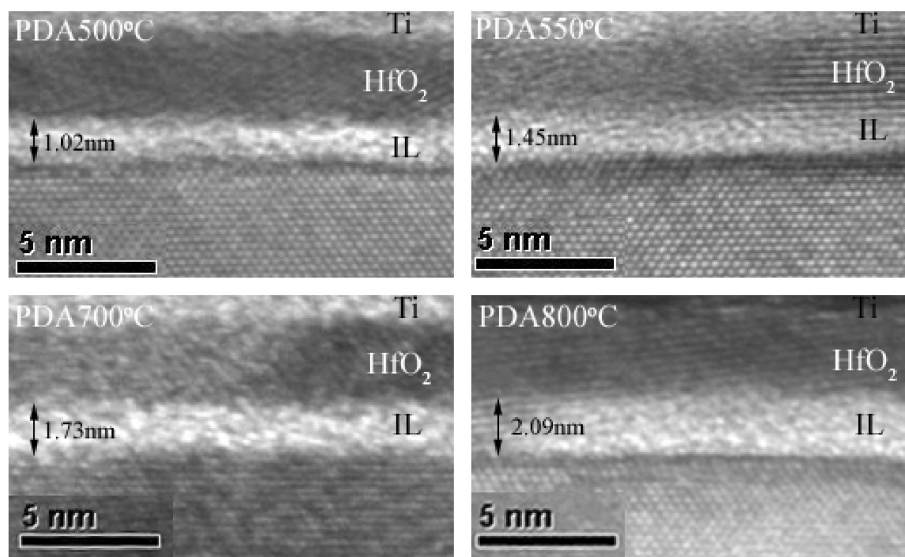


圖 14. 不同後沉積熱處理溫度下的氧化鈪於矽基板上之 TEM 分析圖。

四、結論

總結而言，本實驗室已成功地開發出 ALD 系統，用在 HfO_2 薄膜沉積於矽晶圓上均勻性、成分比、鍍率、界面上皆有良好之控制性。而電性表現方面，不論電容—電壓或是漏電流—電壓皆有不錯的特性，足見 ALD 系統於金屬—氧化層—半導體場效電晶體上的應用有非常大的潛力與市場。

參考文獻

1. R. Chou, ICSTCT 2004 Presentation.
2. M. Houssa, L. Pantisano, L.-A. Ragnarsson, R. Degraeve, T. Schram, G. Pourtois, S. De Gendt, G. Groeseneken, and M. M. Heyns, *Materials Science and Engineering*, **R 51**, 37 (2006).
3. M. Gutowski, J. E. Jaffe, C.-L. Liu, M. Stoker, R. I. Hegde, R. S. Rai, and P. J. Tobin, *Appl. Phys. Lett.*, **80**, 1897 (2002).
4. L. Kang, K. Onishi, Y. Jeon, B. H. Lee, C. Kang, W.-J. Qi, R. Nieh, S. Gopalan, R. Choi, and J. C. Lee, *Tech. Dig. Int. Electron Devices Meet.*, 35 (2000).
5. K. J. Choi, J. B. Park, and S. G. Yoon, *J. Electrochem. Soc.* **150**, 4, F75 (2005).
6. G. D. Wilk, R. M. Wallace, and J. M. Anthony, *J. Appl. Phys.*, **89**, 5243 (2001).
7. J. Schaeffer, N. V. Edwards, R. Liu, D. Roan, a B. Hradsky, R. Gregory, J. Kulik, E. Duda, L. Contreras, J. Christiansen, S. Zollner, P. Tobin, B.-Y. Nguyen, a R. Nieh, a M. Ramon, R. Rao, R. Hegde, R. Rai, J. Baker, and S. Voight, *J. Electrochem.*

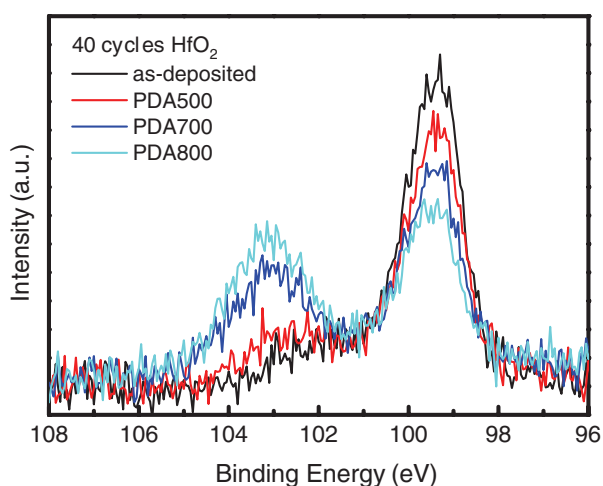


圖 15. 以 XPS 所分析 Si 元素得到之界面層厚度及價態之結果。

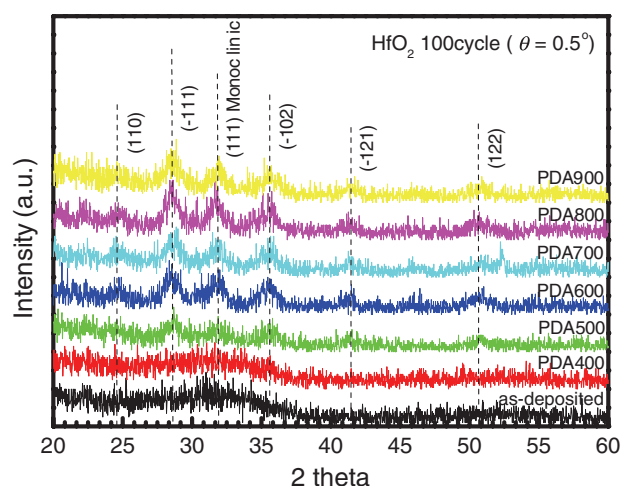


圖 16. 經過不同熱處理溫度下氧化鈪薄膜結晶分析。

Soc. 150, 4, F67 (2003)

8. available on line: <http://www.cambridgenanotech.com/index.php>

9. J. R. Hauser and K. Ahmed, *Characterization and Metrology for ULSI Technology*, 235, (1998)

- 邱彥凱先生現為國立清華大學材料科學與工程研究所博士班學生。
- 張哲豪先生為國立清華大學材料科學與工程博士，現任台灣積體電路股份有限公司工程師。
- 吳泰伯先生為美國西北大學材料科學與工程博士，現任國立清華大學材料科學與工程研究所教授。

- Yan-Kai Chiou is currently a Ph.D. student in the Institute of Materials Science and Engineering at National Tsing Hua University.
- Che-Hao Chang received his Ph.D. in materials science and engineering from National Tsing Hua University. He is currently an engineer in the Taiwan Semiconductor Manufacturing Company Limited.
- Tai-Bor Wu received his Ph.D. in materials science and engineering from Northwestern University, USA. He is currently a professor in the Institute of Materials Science and Engineering at National Tsing Hua University.