

面型 CCD 感測器系統模組與電源控制電路設計

Area CCD Sensor Module and Power Control Circuit Design

黃哲政、周世傑、黃泰綸

Che-Cheng Huang, Shyh-Jye Jou, Tai-Lun Huang

CCD 感測器技術具有較佳的靈敏度、較高的訊雜比與較好的穩定性，本研究使用高解析度面型 CCD 感測器作為基礎，電子電路系統以模組之觀念進行設計規劃，經電路設計製作、韌體程式撰寫、軟硬體整合測試，完成整體模組之製作。為能提供面型 CCD 感測器系統模組中電源電路所需的多組電壓，並輸出模組所需的負載電流，設計電源控制電路來控制電源，避免因短路造成模組的毀損。本面型 CCD 感測器系統模組同時搭配鏡頭及對焦工作，實際進行取像，成功地驗證系統的可行性。

CCD detecting device has many advantages including better sensitivity, higher value of SNR and good stability, the high resolution area CCD at many applications. The concept of electrical circuit module is described about coding of firmware, the integration testing of software and hardware. In order to provide the requirements of area CCD system module for a single input voltage and output loading current, it needs to design power control circuit to control the power supply, to avoid short circuit that cause the destruction of the module. At the same time, the lens of area CCD system module was mounted and focused at the focal plane of CCD device. It has been successfully presented to capture some images to verify feasibility with this CCD module.

一、前言

目前日常生活中到處可見影像儲存系統的蹤影，諸如：大樓監視器、攝影機、傳真機、掃描器、數位相機等，在更高階的應用上，如衛星上的光學遙測酬載或軍事用途的間諜衛星等，甚至在太空上的哈柏太空望遠鏡也有影像儲存系統的存在。

影像儲存系統中，影像取得方式是一個重要的

環節。傳統影像儲存儀器是使用底片作為儲存的介面，缺點是不能即時觀看，且需要大量空間保存底片或必須花費底片數位化，不但耗時又浪費人力。隨著科技發展及製造技術的提升，高解析度的影像感測元件逐漸地被開發出來，而使用此種感測元件可獲得即時顯視、儲存方便及便於進一步訊號分析與處理等優點。

二、CCD 感測器原理

自從 1970 年代貝爾實驗室的 W. S. Boyle 與 G. E. Smith 發明了電荷耦合元件 (charge-coupled device, CCD) 後⁽¹⁾，此種光感元件被廣泛地應用。CCD 感測器是一種可記錄光強度變化的半導體感光元件，主要的功能可以把光能轉換成電能⁽²⁾。

當 CCD 感測器表面感應到光強度時，會經由光電效應將光訊號轉換為電荷並反應於元件上。在基本的製程中，CCD 感測器是利用金氧半導體 (metal-oxide semiconductor, MOS) 在 *p*-type 的基板上鍍了一層 *n*-type 主動層所製作而成，當提供正電壓於二極體時，便會造成一個空乏區 (depletion region)，此區域的電位能會形成一個位能井 (potential well) 與位能壁 (potential barrier)。當光子入射到感光二極體時，如光子能量足夠會激發價電子進入導通帶 (conduction band)，則會產生光電轉換效應，使電荷儲存於位能井中⁽³⁾，如圖 1 所示⁽⁴⁾。這個位能井裡的電荷數主要與 CCD 感測器本身材料的量子效率以及入射輻射量有關。

將感光二極體以矩陣的方式排列，如圖 2 所示⁽⁵⁾，利用時脈訊號 (clock) 與電壓位準的變化來控制電荷的位置，使感光二極體中的電荷依序傳輸至輸出端，以達到 CCD 感測器影像輸出的功能。CCD 感測器測器的解析度決定於感光二極體的多寡，也就是一般俗稱的像素 (pixel)，像素愈多則代表影像解析度愈高。

為了將 CCD 感測器當作影像儲存元件使用，必須把所接收的光影像轉成電荷信號輸出，常見的傳輸結構有圖框傳送 (frame transfer, FT) 與交錯傳送 (interline transfer, IT) 兩種方式。

1. 圖框傳送

圖框傳送的構造如圖 3 所示⁽⁶⁾，是由兩個幾乎一致的感光部分和儲存部分所組成，兩個部分都排在傳送 CCD 感測器的縱向上，因此僅能排列出水平像素數。在產生一個圖框 (frame) 的時間內，將不同明暗之光影像所產生的電荷信號，經由感光部分傳送至儲存部分，而在水平掃描一次的時間內，將儲存部分的電荷信號傳送至 CCD 感測器的輸出

部分作排列，並用水平時脈訊號將電荷快速地傳送到放大器作電壓轉換。

2. 交錯傳送方式

此方式的構造是在每個像素上設置光電二極體，將此接收的光影像利用光電二極體轉成電荷信號，在產生一個圖框的時間內，並聯的把全部電荷信號傳給垂直 CCD 的暫存器上，後依序將每一排的電荷傳送至水平 CCD 輸出部分，並利用水平時脈訊號將電荷快速地傳送到放大器作電壓轉換。

三、CCD 感測器與 CMOS 感測器的比較

CCD 感測器與 CMOS 感測器是當前被普遍採用的兩種影像感測器，兩者都是利用感光二極體 (photodiode) 進行光電轉換，將影像轉換為數位資料，而其差異是數位資料傳送的方式不同，如圖 4 所示⁽⁷⁾。

CMOS 感測器的傳輸方式是其中每個像素都會鄰接一個放大器及 A/D 轉換電路，用類似記憶體電路的方式將資料輸出。而在 CCD 感測器中，每一行中每一個像素的電荷資料都會依次傳送到下一個像素中，由最底端部分輸出，再經由感測器邊緣的放大器進行放大輸出。

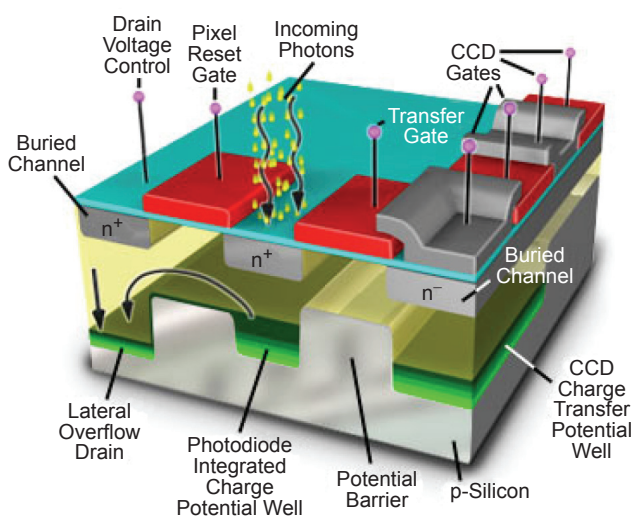


圖 1. CCD 感測器物理結構⁽⁴⁾。

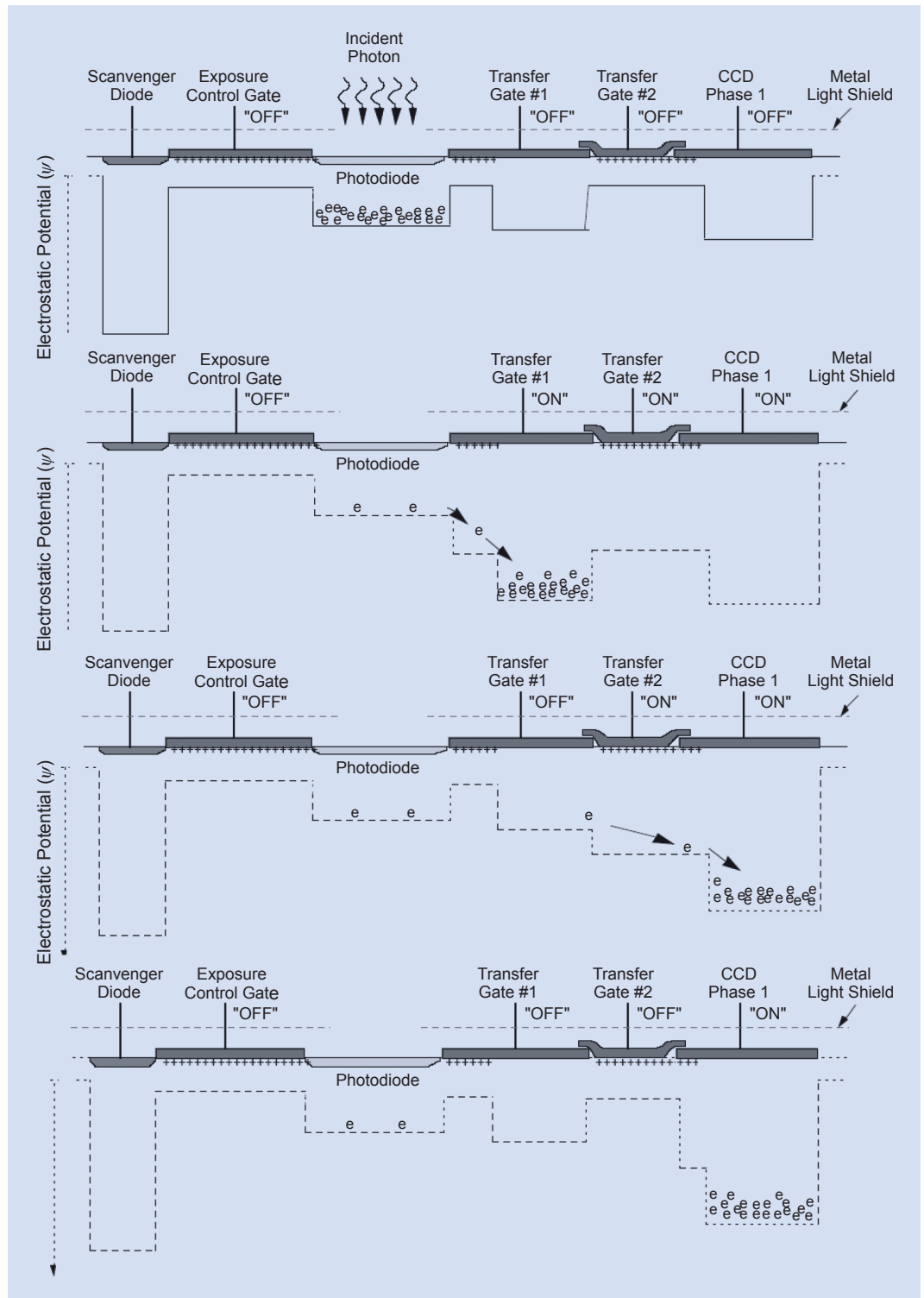


圖 2.
利用時脈訊號
(clock) 與電壓位
準的變化傳輸位能
井內的電荷⁽⁵⁾。

造成這種差異的原因在於：CCD 感測器的特殊技術可保證資料在傳送時不會失真，因此各個像素的資料可彙聚至邊緣再進行放大處理；而 CMOS 技術的資料在傳送距離較長時會產生雜訊，因此必須先放大，再整合各個像素的資料。

由於資料傳送方式不同，因此 CCD 感測器與 CMOS 感測器在效能與應用上也有諸多差異，這些差異包括⁽⁸⁾：(1) 靈敏度差異、(2) 成本差異、(3) 解析度差異、(4) 雜訊差異及 (5) 功耗差異。

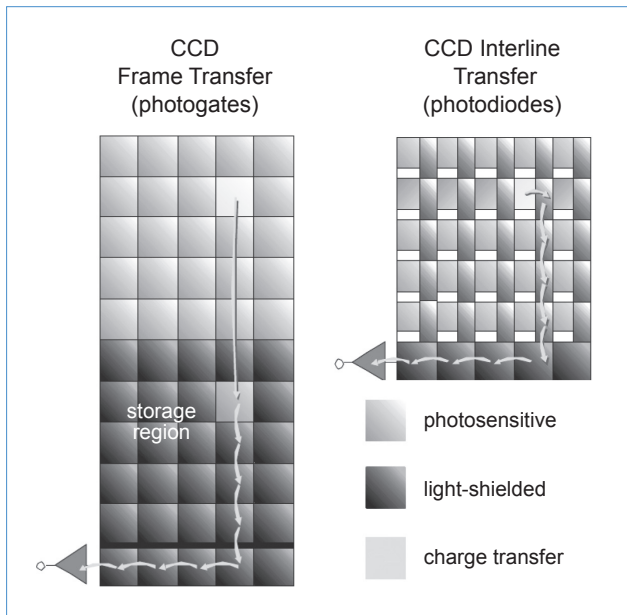


圖 3. 圖框傳送與交錯傳送⁽⁶⁾。

(1) 靈敏度差異

由於 CMOS 感測器的每個像素由四個電晶體與一個感光二極體構成，使得每個像素的感光區域遠小於像素本身的表面積，因此在像素尺寸相同的情況下，CMOS 感測器的靈敏度要低於 CCD 感測器。

(2) 成本差異

由於 CMOS 感測器採用一般半導體電路最常用的 CMOS 技術，可以輕易地將周邊電路 (如 AGC、CDS、timing generator 或 DSP 等) 整合到感測器晶片中，因此可以節省周邊晶片的成本。除此之外，由於 CCD 感測器採用電荷傳遞的方式傳送資料，只要其中有一個像素不能運行，就會導致一整排的資料不能傳送，因此控制 CCD 感測器的良率比 CMOS 感測器困難許多，即使有經驗的廠商也很難在產品問世的半年內突破 50% 的水準，因此，CCD 感測器的製造成本會高於 CMOS 感測器。

(3) 解析度差異

如上所述，CMOS 感測器的每個像素都比 CCD 感測器複雜，一開始 CMOS 在像素尺寸上很

難達到 CCD 感測器的水準，但隨著半導體技術的突飛猛進，現已能克服技術上的限制，可使解析度優於 CCD 感測器。

(4) 雜訊差異

由於 CMOS 感測器的每個感光二極體都需搭配一個放大器，而放大器屬於類比電路，很難讓每個放大器所得到的結果保持一致，因此與只有一個放大器放在晶片邊緣的 CCD 感測器相比，CMOS 感測器的雜訊就會增加很多，影響圖像品質。

(5) 功耗差異

CMOS 感測器的圖像傳送方式為主動式，感光二極體所產生的電荷會直接由電晶體放大輸出。但 CCD 感測器為被動式傳送，需外加電壓讓每個像素中的電荷移動，而此外加電壓通常需要達到 12–18 V，因此 CCD 感測器除了在電源管理電路設計上的難度更高之外 (需外加 power IC)，高驅動電壓更使其功耗遠高於 CMOS 感測器。

綜上所述，CCD 感測器在靈敏度、雜訊控制等方面都優於 CMOS 感測器，而 CMOS 感測器則具有低成本、低功耗、較高解析度，以及高整合度的特點。不過，隨著 CCD 感測器與 CMOS 感測器技術的進步，兩者的差異有逐漸縮小的態勢，例如，CCD 感測器一直在功耗上作改進，以應用於移動通信市場；CMOS 感測器則在改善雜訊度與靈敏度方面的不足，以應用於更高端的圖像產品。

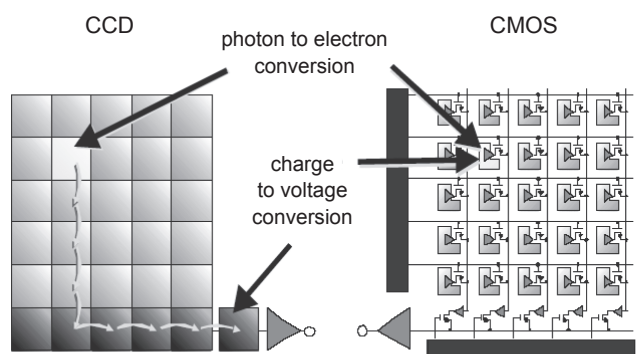


圖 4. CCD 感測器與 CMOS 感測器電荷轉換電壓方式比較⁽⁷⁾。

Architecture
Overall

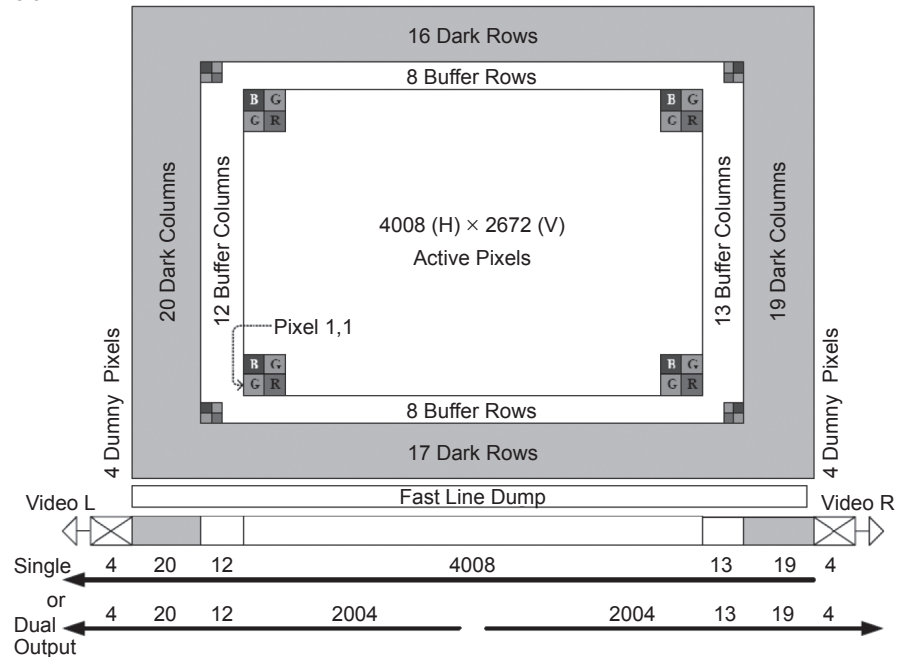


圖 5.

KAI-11002 面型 CCD 感測器
內部架構圖⁽⁹⁾。

四、CCD 感測器規格

本文所選用的 CCD 感測器是 Kodak 公司所生產的 KAI-11002 Image Sensor。CCD 感測器有效的像素 (pixel) 是 4008×2672 個感測單元所組成的晶片，像素的大小為 $9.0 \mu\text{m} \times 9.0 \mu\text{m}$ ，有效影像的面積為 $37.25 \times 25.7 \text{ mm}^2$ 。原廠之 CCD 感測器有二種型式，一為貼印上 RGB 三色濾光片者，另一為未貼濾光片之單色者。

彩色 CCD 感測器架構、各像素的排列關係及信號的輸出模態如圖 5 所示⁽⁹⁾，整個感測器形成一

面型 CCD 感測器影像元件，可輸出 RGB 三原色之光強度信號。單色 CCD 感測器架構、各像素的排列與彩色 CCD 感測器相同，僅差別在貼印 RGB 三色濾光片。

由圖 6 可知⁽⁹⁾，CCD 感測器經由 RGB 濾光片與無濾光片的響應圖比較，發現於近紅外波段上有響應，故於使用上須加以注意。此 CCD 感測器是屬於交錯傳送的方式，像素頻率最高達 28 MHz，所以換算成畫面頻率 (frame rate) 可達 4.63 fps 的範圍，並具有 anti-blooming 的功能。

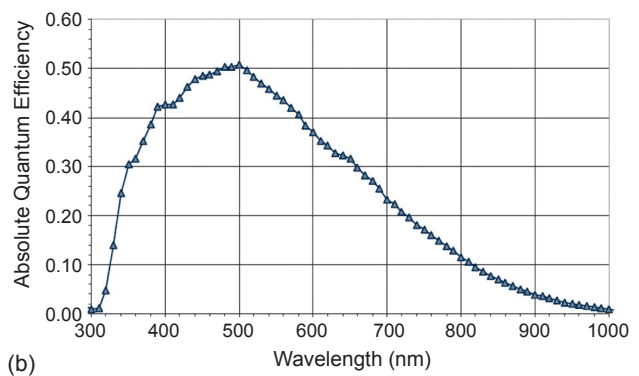
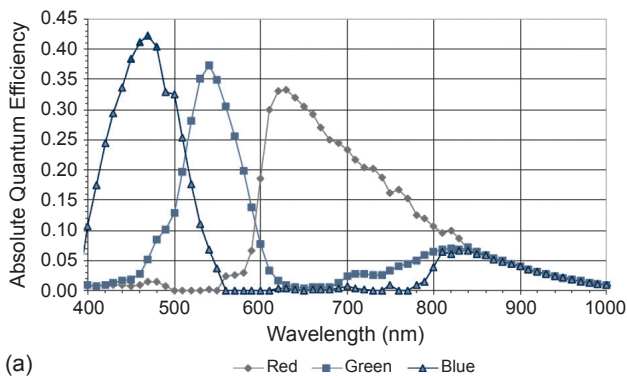


圖 6. KAI-11002 面型 CCD 感測器之光譜響應圖⁽⁹⁾，(a) 貼有 RGB 濾光 CCD 光譜響應圖，(b) 單色 CCD 光譜響應圖。

五、系統架構與設計

系統架構與設計上，主要分成 (1) 面型 CCD 感測器系統模組與 (2) 電源控制電路量兩部分作討論。

1. 面型 CCD 感測器系統模組

面型 CCD 感測器模組主要是由電子電路所組成，設計上可依功能將電路架構分成四個部分：(1) 時脈產生電路模組、(2) CCD 前端電路模組、(3) 類比數位轉換電路模組及 (4) 電源電路，電路模組架構如圖 7 所示⁽¹⁰⁾。

(1) 時脈產生電路模組

時脈產生電路模組主要功能是產生 CCD 所需的時脈訊號。為取得良好的相位差，此模組產生出來的時脈需滿足 CCD 所需低雜訊的要求，否則 CCD 所感測出來的影像將大打折扣，無法滿足現今應用所需高解析度的要求。

時脈訊號的產生方式主要是使用可程式邏輯元件 (complex programmable logic device, CPLD) 晶片進行電路規劃。CPLD 晶片之使用方法為透過撰寫硬體描述語言 (Verilog hardware language)，產生面型 CCD 感測器所需的時脈驅動訊號。根據 KAI 11002 Image Sensor Specification 內垂直輸送時脈與水平輸送時脈規定的相位差和電荷訊號搬運工作模式，編寫出面型 CCD 感測器所需之時脈驅動訊號，再經由 Altera 之發展軟體 Quartus II 模擬與實現燒錄至晶片上。使用 CPLD 晶片進行電路規劃，可用硬體描述語言 (HDL) 透過編譯器 (compiler) 編輯內部之邏輯閘，以實現複雜之電路設計，且可重複使用。單一晶片可用硬體描述語言設計實現複雜電路，故具有簡化電子電路設計布局、加速電子電路設計時程、可重複使用之性質。本取像模組的時脈產生電路部分選用 Altera 生產之 EPM7256S 的 CPLD，該型號的 CPLD 具有 208 隻腳位，內部之可使用 gate 數為 5000 個。

(2) CCD 前端電路模組

前端電路模組主要功能為提供 CCD 感測器所需的電壓源組，以及改變從時脈產生電路模組所輸

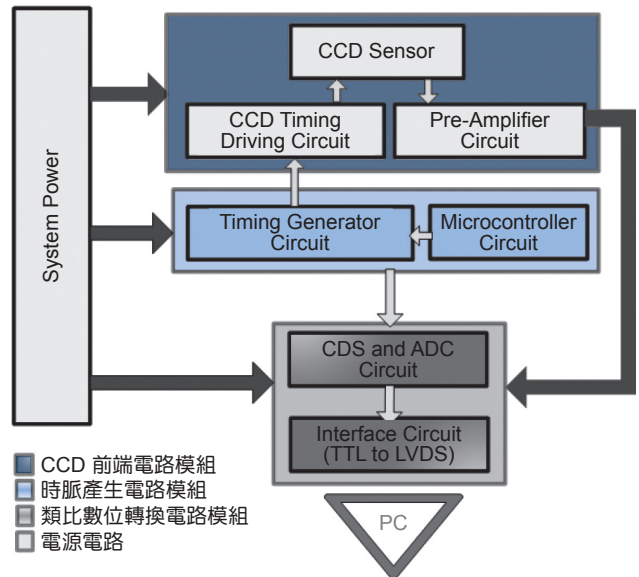


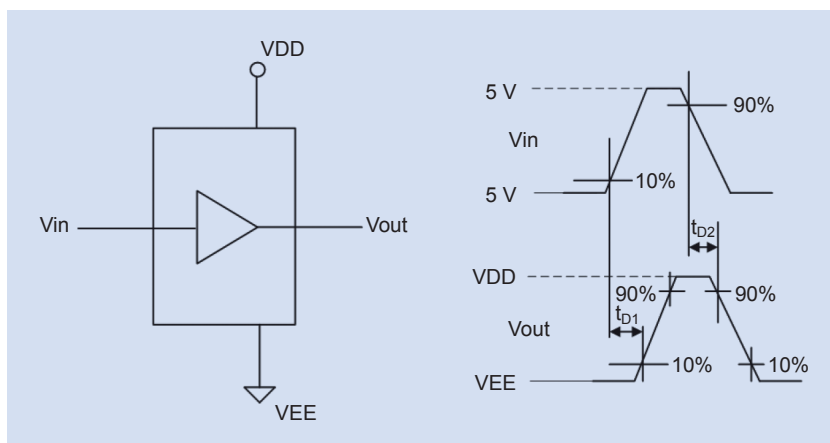
圖 7. 面型 CCD 感測器模組與電源供應與控制電路系統架構⁽¹⁰⁾。

出的時脈電壓準位與振幅，使轉換後的時脈能驅動 CCD 感測器。同樣地此電路模組的輸出時脈需在精準度上及訊號完整性 (signal integrity) 上維持非常高的要求，若因雜訊的干擾及輸出時脈本身的失真，將嚴重影響 CCD 感測器中光電反應出來的類比訊號，使得感測器的影像輸出品質無法達到要求。

為符合 CCD 感測器輸入時脈的需求，前端電路模組使用位準移轉 (level shift) 電路概念來設計，此設計首先需選擇符合耐壓、耐電流與切換速度的電晶體，使得原始時脈在狀態切換時，電晶體反應所造成的延遲時間不會錯亂移轉位準後時脈彼此間的相位差，進而無法搬運 CCD 感測器在光電反應下所產生的電荷，失去驅動 CCD 感測器的能力。位準移轉電路的架構如圖 8 所示，根據 KAI-11002 Image Sensor Specification 上的規定，輸入規格所需的上下源電壓，使輸出時脈轉換成符合 CCD 感測器所需的電壓準位及振幅電壓。

CCD 感測器在接收到此位準移轉的時脈訊號及輸入電壓源組後，即可將光電反應所產生的電荷依序搬運出。在輸出埠前有一電流轉換電壓電路，其功能是將每一排列等候輸出的像素電荷轉換成電壓型態的類比訊號。在輸出後經由前端電路模組上的一前端放大器將類比訊號作參考準位的調整與訊號的放大。

圖 8.
位準移轉電路的架構。



設計電路如圖 9 所示，第一級的緩衝電路沒有增益，主要功能是將 CCD 感測器輸出的類比訊號之參考準位調整至地 (ground)，需符合低雜訊之要求且輸出阻抗需配合 50 歐姆特性阻抗之電纜線。第二級為典型非反相組態的運算放大器電路，可依需求將訊號作不同程度的放大。

(3) 類比數位轉換電路模組

主要功能是將所接收到從感測器輸出的類比信號，進行取樣及類比數位轉換的工作。此模組採取相關性雙取樣 (correlated double sampling, CDS) 技術作像素能量大小的取樣，電路是由取樣電路 (sample and hold) 與差動放大器組成，其工作原理如圖 10 所示⁽¹¹⁾。

感測器信號在經由取樣脈波 (SHP & SHD) 擷取每一像素的參考電壓與感光輸出電壓後，經由差動放大器運算出電位差，呈現不同照光下每一個像素所接收到的光強弱。CDS 技術不但可用來降低像素雜訊，另一方面是能提供精密度較高的減雜訊 (noise canceller) 功能，消除模組上由數位與類比電路雜訊干擾所造成的準位漂移，藉此提高影像品質。

經由 CDS 電路運算出每一像素電位差後，使用類比數位轉換器 (A/D converter) 轉換出數位訊號。欲將此數位資料傳至個人電腦端，傳輸方式是使用低電壓差分訊號 (low-voltage differential signaling, LVDS) 技術，LVDS 技術對訊號完整性、低抖動及共模特性要求較高的系統中，可提供訊號

在傳輸時保有較高的訊號完整性。LVDS 影像訊號傳輸至電腦端，經由像擷取卡 (frame grabber) 轉換成人眼所看到的圖。這些被還原的圖形可經由影像處理軟體 (例：Photoshop、Photoimpact 等) 作修正與特殊處理，並即時儲存於電腦中，達成即時顯視、儲存方便及便於進一步訊號分析與處理之優點。

(4) 電源電路

CCD 感測器所需外加電壓通常需要達到 12—18 V，且面型 CCD 感測器模組內的 CPLD、位準移轉電路、數位類比轉換器與低電壓差 (LVDS) 訊號電路均需不同的電壓供應值，所以使用能精準輸出各種電壓並具有低切換雜訊的 DC to DC Converter 模組與 Regulator，做為電源電路裡的設計元件，以符合多種電壓規格的輸出需求。此外為統一供應電源電路的輸入電壓，將所採用的 DC to DC Converter 模組均統一成單一輸入電壓為 24 V。

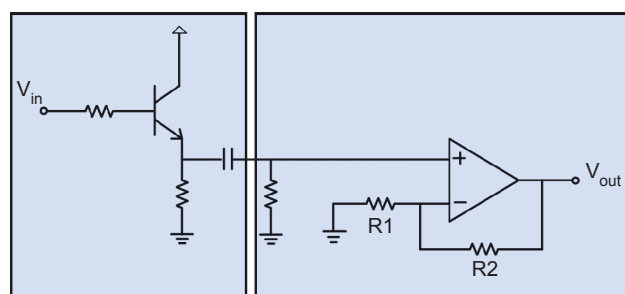


圖 9. 前端放大器。

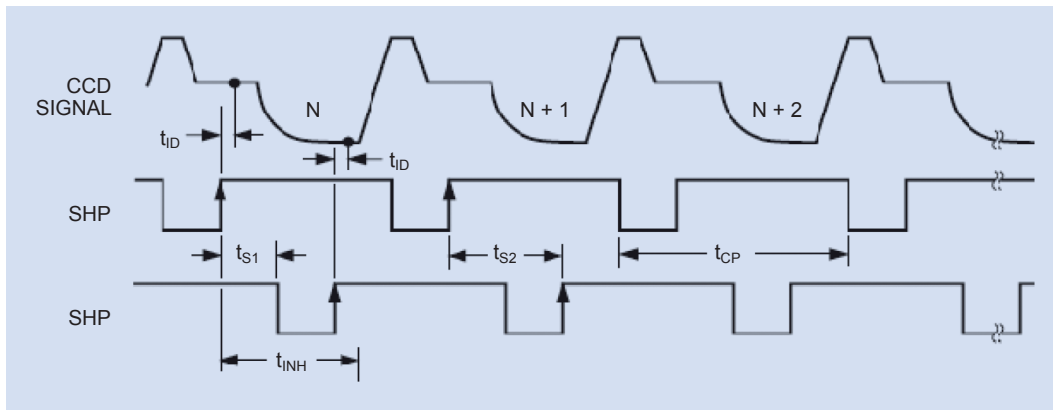


圖 10.
相關性雙取樣技術
工作原理⁽¹¹⁾。

2. 電源控制電路

電源控制電路主要功能為提供面型 CCD 感測器系統模組裡電源電路所需的單一輸入電壓，並控制模組所需的額定電流。當電流發生異常時，電源控制電路能將輸出電流限制在所設定的額定大小內，防止 CCD 感測器模組因發生短路而導致毀損 CCD。決定電源控制電路電流的輸出與否，以及過電流時的保護功能，均是透過可編程邏輯閘陣列控制晶片 (field programmable gate array, FPGA) 來控制。

依據功能可將電源控制電路系統分成四個部分：(1) 電流感測電路 (current sensing circuit)、(2) 限流保護電路 (latch current limit, LCL)、(3) 史密特觸發器 (Schmitt trigger circuit) 及 (4) 電流輸出切換電路 (on/off output current circuit)，其架構如圖 11 所示。

(1) 電流感測電路

電流感測電路主要的架構是使用電流鏡 (current mirror)⁽¹²⁾ 與電壓隨耦器所組成的電流感測電路系統，其電路如圖 12 所示，此電路主要是利用電流鏡電路的特性，將負載電流於感測電阻上所產生的差動電壓轉成單點對地電壓，然後利用電晶體放大電路將此感測電壓放大，並串接電壓隨耦器以防止後面電路之負載效應。

此電路之優點為：只要在電晶體的耐壓規格下，不管 bus 上的電源電壓為多少，皆能偵測此電流值，電路功能均能正常動作。缺點為：電路調整參數較多，另外在設計電流鏡電路時，其兩個電晶體之特性要相近，才能有較精確的輸出電流。

(2) 限流保護電路

限流保護電路主要功能是當負載發生異常短路

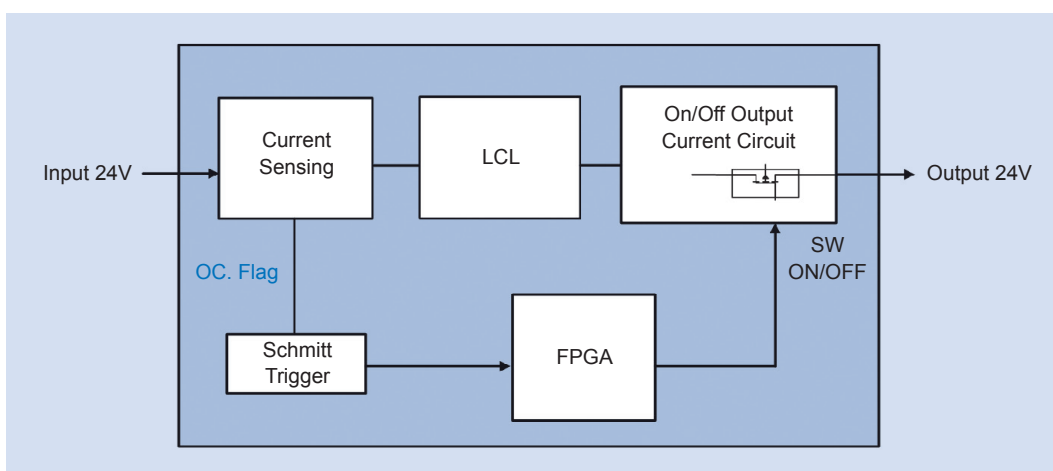


圖 11.
電源控制電路系統
架構圖。

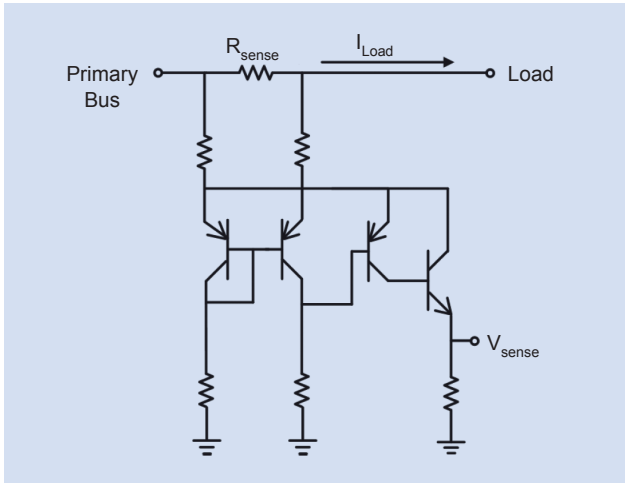


圖 12. 電流鏡電流感測電路。

或電流超載時，能提供及時保護，利用此保護系統將輸入電流限制在負載設計所能接受的最大輸入值內，使得面型 CCD 感測器模組不會因為過電流而造成毀損。限流保護電路發揮功能的同時，過電流旗標 (over current flag) 也會傳送至可編程邏輯閘陣列控制晶片，之後將關閉電源控制電路系統輸出，直到電流恢復至可容許的範圍內。

(3) 史密特觸發器

電流感測電路裡利用電阻將電流所轉換成的輸出電壓，可經由一比較器作電位準位的比較，只要輸入電壓 V_{in} 比 V_{REF} 小，輸出電壓即被推至負的最大值。當輸入電壓比參考電壓大時，輸出即為正的最大值。利用此特性，當電流轉換成的輸出電壓大於參考電壓時，比較器立即輸出一過電流旗標至可編程邏輯閘陣列控制晶片，由它來關閉電源控制電路系統的輸出，以達到保護作用。

實際工作時，往往有若干雜訊出現在輸入端，這些雜訊疊加在輸入信號上，當輸入電壓等於參考電壓時，即會影響電壓的辨別，發生不穩定的狀況，使輸出產生閃爍不定的狀態。為消除此現象，可使用磁滯技術來解決此問題。

磁滯技術乃是當輸入信號由小變大時，相對於參考電壓需有較大值，才能輸出一觸發信號至 FPGA；當輸入信號由大變小時，需相對於參考電壓有較小值才能由高電位輸出轉態至低電位。此兩

個高低之參考電壓分別稱為上激發點 (upper trigger point, V_U) 與下激發點 (lower trigger point, V_L)，如圖 13 所示。

磁滯技術可由史密特觸發器電路的正回授網路來實現⁽¹³⁾。圖 14 即為史密特觸發器的電路架構，圖中一固定電壓輸入至比較器的負輸入端，而輸入信號由電阻分壓而得之正回授信號接至正輸入端。

(4) 電流輸出切換電路

電源控制電路系統上有一電流輸出切換電路來作為電流輸出與否的控制，此電路主要是藉由 FPGA 來控制系統中的功率電晶體 (power MOSFET) 以作為開關使用，此功率電晶體的選擇需考慮到最大耐壓、耐電流與切換速度，才能滿足使用上的需求。

六、模組測試結果

面型 CCD 感測器模組內每一功能模組、韌體與軟體完成設計後，需測試整個模組的特性，首先需先量測時脈產生電路模組所產生之時脈頻率、相位差及振幅大小，確認是否符合在 Quartus II 編寫硬體描述語言時合成出來的時脈模擬圖。

量測結果無誤後，將時脈輸入至前端電路模組的位準移轉電路。根據 KAI-11002 Image Sensor Specification 上的規定，需先調整每個位準移轉電路所需的上下源電壓，使時脈在轉換後能符合

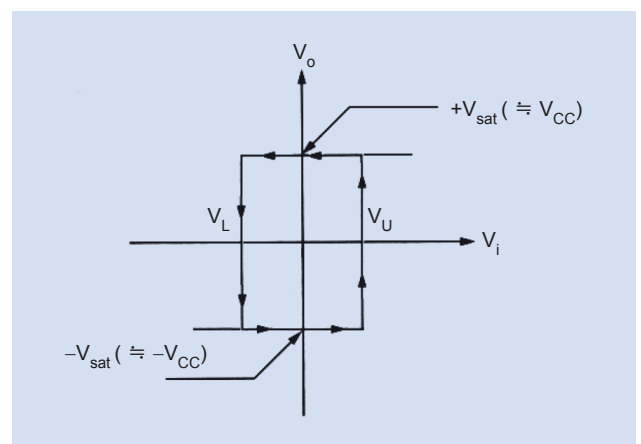


圖 13. 磁滯技術工作曲線圖。

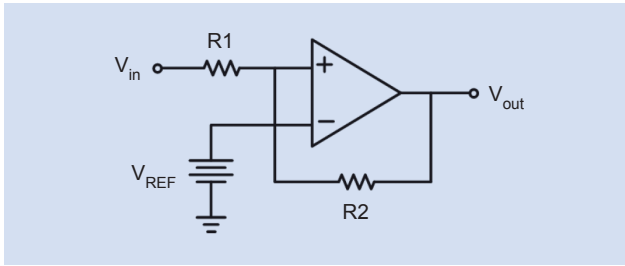


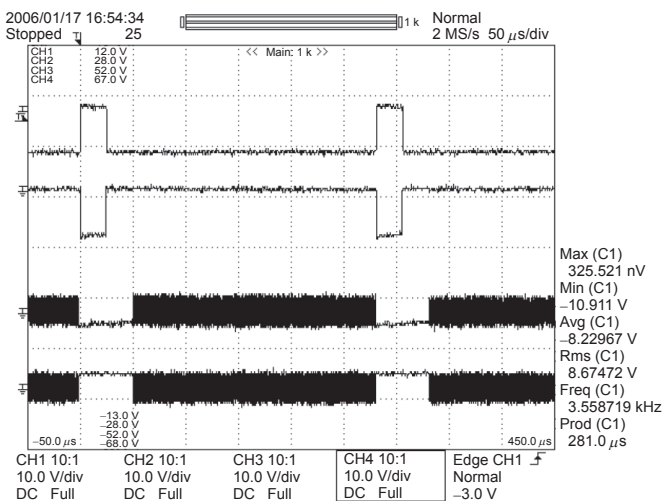
圖 14. 史密特觸發器正回授網路電路架構。

CCD 感測器所需的電壓準位及振幅電壓。剛開始設計時，為避免電路板上路徑的電阻效應，以及電阻元件本身的誤差影響，會先於分壓電路上串聯可變電阻來微調上下源電壓，待電路已確認完全不作修改時，即可將可變電阻所調到的電阻值以特定組值的 SMD 電阻代替，節省電路板面積。

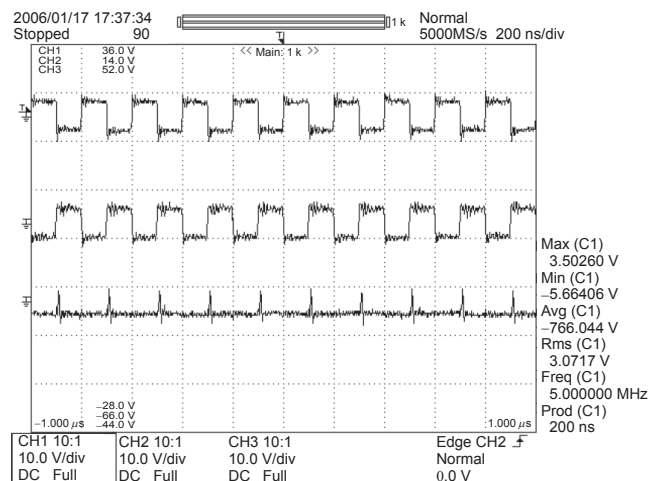
位準移轉電路轉換出的時脈訊號傳輸至 CCD 感測器時，需於接收腳位再次量測時脈的相位差，主要是因為電路板上不同的路徑所提供的延遲效應，會使得原本在時脈產生電路模組輸出的時脈相位差生變化，導致無法驅動 CCD 感測器。當在接收腳位量測到相位偏移時，可使用在時脈路徑上事先所設計好的延遲電路來調整相位差，以增加時脈的準確性。圖 15 為 CCD 水平與垂直時脈量測的結果。

CCD 感測器在接收到位準移轉的時脈訊號及正確的輸入電壓源組，即可被驅動進行光電反應。所產生的電荷依序經由 CCD 感測器內部的轉換器轉換成電壓訊號輸出，藉由所設計的前端放大器將輸出的類比信號作準位平移與訊號放大。透過不同的光強度測試 CCD 感測器，量測到的結果如圖 16 所示。從圖 16(a) 可看到 CCD 感測器於未照光時，感應區並無任何電壓訊號顯示，但當有光線輸入時，從圖 16(b) 即可看到感應區產生出與參考電壓不同的電壓值。此模組設計時所操作的像素頻率時脈為 20 MHz，主因是所使用的 A/D 轉換器最快的操作頻率為 20 MHz，若不考量 A/D 轉換器則 KAI 11002 Image Sensor 像素頻率最高可操作在 28 MHz。

感測出的類比信號經由傳輸線傳送至類比數位轉換電路模組，為減低訊號的衰減，所使用的為特性組抗 50 歐姆的傳輸線以達到阻抗匹配。進行取樣及類比數位轉換的 A/D 轉換器是使用 Analog Devices 公司所製造 CCD 專用的 AD9844A，此 A/D 轉換器的解析度為 12 bit，接收電壓最大為 1 V，故每一像素經由 CDS 技術擷取出的參考電壓與感光輸出電壓差最大值也需為 1 V，若量測出來的值太大或者太小，可經由 CCD 前端電路模組的前端放大器作調整。

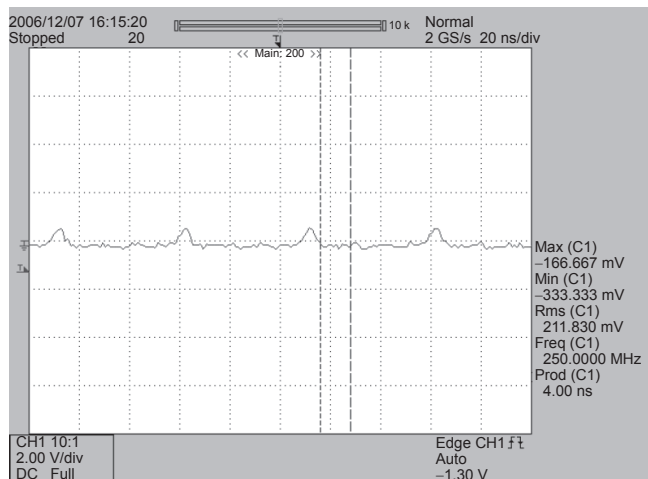


(a)

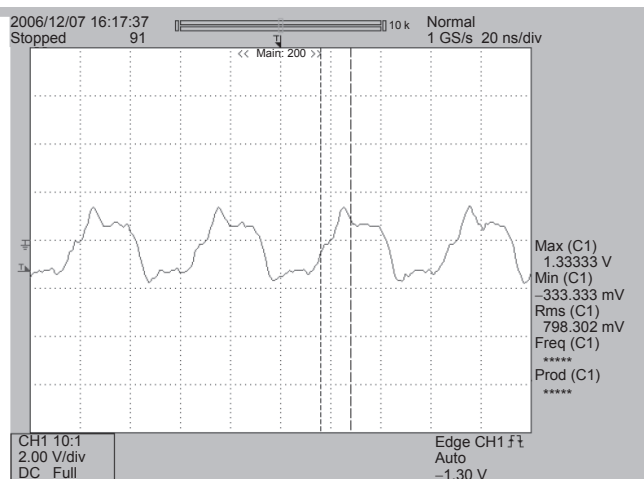


(b)

圖 15. CCD 水平與垂直時脈量測，(a) 水平與垂直驅動時脈組對應圖，(b) 水平驅動時脈組放大圖。



(a)



(b)

圖 16. CCD 感測器光感應輸出的類比信號，(a) 未照光所感應的輸出 (20 MHz)，(b) 照光所感應的輸出 (20 MHz)。

經由 A/D 轉換器量化後的資料，使用 LVDS 方式傳輸至電腦端。LVDS 走線一般要求有兩點要注意。一是兩條線的長度要盡量一樣長，等長是為了保證兩個 LVDS 信號時刻保持相反極性，減少共模分量。另一是兩線的間距 (此間距由 LVDS 阻抗決定) 要一直保持不變，也就是要保持平行。平行的方式有兩種，一為兩條線走在同一走線層 (side-by-side)，另一為兩條線走在上下相鄰兩層 (over-under)。一般以前者 side-by-side 實現的方式較多。等距則主要是為了保證兩者差分阻抗一致，減少反射。對 LVDS 的佈線方式應該要適當的靠近且平行。所謂適當的靠近是因為這間距會影響到差分阻抗 (differential impedance) 的值，此值是設計 LVDS 的重要參數。需要平行也是因為要保持差分阻抗的一致性。若兩線忽遠忽近，差分阻抗就會不一致，就會影響訊號完整性及時間延遲 (timing delay)。

面型 CCD 感測器系統模組的成品如圖 17 所示，欲取得清晰的擷取影像需搭配取像鏡頭並和感測器作對焦。對焦的目的係為校正對準鏡頭，使鏡頭能成像於感測器的焦平面上。對焦的工作首先需將感測器固定於光學桌上，利用點光源發射出光線，透過準直儀 (collimator) 產生準直光⁽¹⁴⁾，再投射至感測器上，同時觀察到所擷取的視訊訊號之輪廓圖，此時由於點光源的尺寸很小，在感測器的輪廓圖會產生一個尖峰，觀測此尖峰的斜率與半高

寬，接著移動鏡頭位置重複調整至半高寬最窄，即為焦距的最佳位置，亦即完成對焦的工作。

實現鏡頭與 CCD 感測器的對焦工作，即可量測彼此的相對距離和位置，並根據模組的大小及形狀來設計機構外殼，完成取像相機系統。圖 18 為面型 CCD 感測器系統模組搭配遙測鏡頭裝載於航拍飛機所取像的空拍圖，拍攝的地點為台中。

電源控制電路主要根據面型 CCD 感測器系統模組輸入電壓及最大操作電流的需求，使用電流鏡的電流感測電路架構進行設計與量測分析，如圖 19 所示。面型 CCD 感測器系統模組經由量測得到

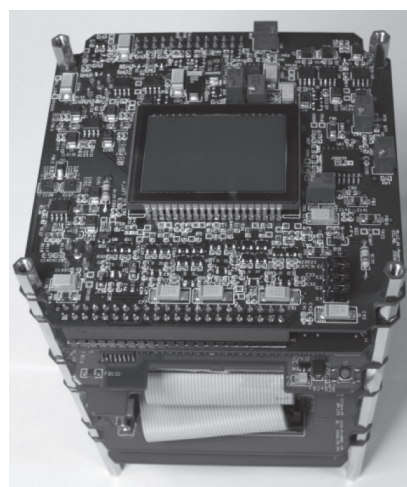


圖 17. 面型 CCD 感測器系統模組。



圖 18.
搭配遙測鏡頭取景的空拍圖。

最大操作電流數據為 0.8 A，故將其 Trip-off 電流設為 1.2 A。比較器電路上 V_{REF} 設為 2.5 V，所以 Trip-off 電流經由電流感測電路轉換出的感測電壓值需略大於 2.5 V，才能使比較器輸出一過電流旗標至可編程邏輯閘陣列控制晶片，由它來關閉電源控制電路系統。圖 20 為電路測試的結果，當輸出電流 0.6 A 時，感測電壓為 1.29 V、輸出電流為 1.2 A 時，感測電壓為 2.502 V，此時比較器的輸出電壓立即由 0 V 轉換成 5 V，其結果為十分的線性。

七、結論

面型 CCD 感測器系統模組，經由電路的設計、佈線、製造、組裝、整合與除錯，可成功搭配遙測鏡頭完成空拍取景。電源控制電路部分，已能提供面型 CCD 感測器系統模組上電壓與電流的穩定，使感測器模組的功能能正常運作。

未來的研究上，面型 CCD 感測器系統模組將往兩方面繼續發展。(1) 配合系統進行模組的光電參數測試，取得其規格參數 (例如：CCD 暗電流、信號線性度、像素亮度均勻度、暗信號均勻度、雜訊比、各波段光譜反應) 以利進行品質上的優化。(2) 擷取影像處理部分，建立後端擷取訊號的軟硬體平台。此部分工作主要有影像的快速擷取、影像

資料後續顏色校正及空間位置校正等工作，此時需配合程式界面的撰寫及分析函式的加入，設計友善的人機界面，形成方便操作與使用的軟硬體系統測試平台。電源控制電路方面，主要需針對電子元件材質的壽命、以及電晶體和 OP 放大器對不同溫度下的放大係數作分析。電流輸出時所產生的瞬間電流下降，也需考慮是否能在合理範圍。電晶體切換時，電磁波干擾 (electromagnetic interference, EMI) 的產生也需要能符合使用上的規範。經由這些上述方向的改善與優化，使整個系統能趨於更便利、穩定，以及方便的使用。

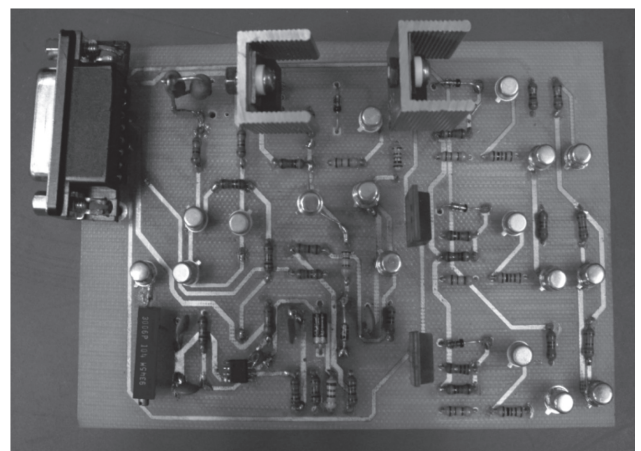


圖 19. 電流鏡電流感測電路實作。

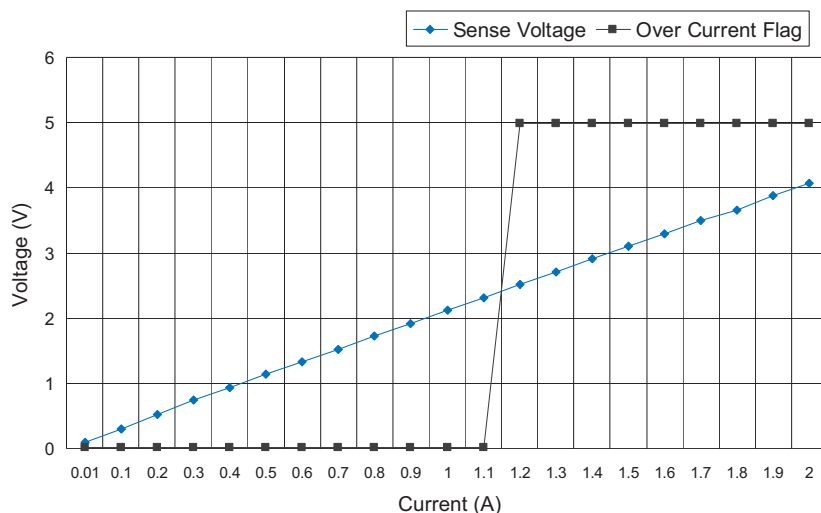


圖 20.
電流鏡電流感測電路結果。

參考文獻

1. 陳榕庭, 彭美桂, CCD/CMOS 影像感測器之基礎及應用, 初版, 臺北: 全華, 5 (2005).
2. L. J. Pinson, *Electro-Optics*, Colorado, USA: University of Colorado (1985).
3. 黃基哲, 吳孟修, 林群富, 黃哲政, 科儀新知, 27 (6), 50 (2005).
4. <http://micro.magnet.fsu.edu/primer/digitalimaging/concepts/ccdanatomy.html>
5. *Solid State Image Sensors Terminology*, Rochester, New York: Eastman Kodak, 36 (1994).
6. D. Litwiller, *CMOS vs. CCD: Maturing Technologies Maturing Markets*, Ontario, Canada: Photonics Spectra, 2 (2005).
7. http://www.dalsa.com/dc/documents/Image_Sensor_Architecture_Whitepaper_Digital_Cinema_00218-00_03-70.pdf
8. <http://digi.blueidea.com/other/report/2004/1194.asp>
9. *Kodak KAI-11002 Image Sensor 4008(H) X 2672(V) Interline CCD Image Sensor*, Revision 1.0, Rochester, New York: Eastman Kodak, 17 (2006).
10. 黃哲政, 儀科中心簡訊, 81, 9 (2007).
11. AD9844A, Data Sheet, Analog Device, http://www.analog.com/static/imported-files/data_sheets/AD9844A.pdf
12. B. Razavi, *Design of analog CMOS integrated circuits*, Boston MA: McGraw-Hill, 141 (2001).
13. S. Sedra and K. C. Smith, *Microelectronic Circuits*, 4th ed., New York: Oxford University Press, 1024 (2004).
14. 林群富, 吳孟修, 蔡和霖, 黃泰綸, 黃哲政, 周世傑, 科儀新知, 28 (5), 59 (2007).



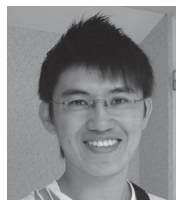
黃哲政先生為國立中央大學光電科學碩士，現任國家實驗研究院國家太空中心助理研究員。

Che-Cheng Huang received his M.S. in optical science from National Central University. He is currently an assistant researcher at National Space Organization, National Applied Research Laboratories.



周世傑先生為國立雲林科技大學電機工程碩士，現任國家實驗研究院儀器科技研究中心助理研究員。

Shyh-Jye Jou received his M.S. in electrical engineering from National Yunlin University of Science and Technology. He is currently an assistant researcher at Instrument Technology Research Center, National Applied Research Laboratories.



黃泰綸先生為國立中興大學電機工程碩士，現任國家實驗研究院儀器科技研究中心助理研究員。

Tai-Lun Huang received the M.S. in electrical engineering from National Chung Hsing University. He is currently an assistant researcher at Instrument Technology Research Center, National Applied Research Laboratories.